

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

501P04894500  
RS  
#  
4  
1-23-02  
JC929 U.S. PTO  
09/824969  
04/03/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 4月 5日

出 願 番 号  
Application Number:

特願2000-108039

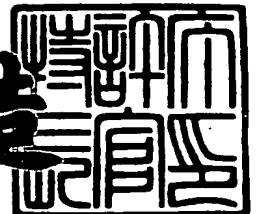
出 願 人  
Applicant(s):

ソニー株式会社

2001年 3月 2日

許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3014922

【書類名】 特許願

【整理番号】 0000067903

【提出日】 平成12年 4月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

    【氏名】 隈田 一郎

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100094053

    【弁理士】

    【氏名又は名称】 佐藤 隆久

【手数料の表示】

    【予納台帳番号】 014890

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 送信回路、受信回路およびデータ通信装置

【特許請求の範囲】

【請求項 1】

クロック信号を第 1 の信号線を介して受信回路に送信し、シリアルデータを第 2 の信号線を介して前記受信回路に送信する送信回路であって、

1 フレーム分のパラレルデータをシリアルデータに変換して当該シリアルデータを前記クロック信号に対応して送信し、前記クロック信号のエッジから次の前記エッジまでの区間内に値が N 回（N は 2 以上の整数）変化するフレーム同期データを、当該シリアルデータに続いて送信する

送信回路。

【請求項 2】

前記フレーム同期データの送信時における前記クロック信号の前記エッジの間隔を、前記シリアルデータの送信時における前記クロック信号の前記エッジの間隔よりも大きくする制御回路を有する

請求項 1 記載の送信回路。

【請求項 3】

前記 1 フレーム分のパラレルデータに基づき、前記シリアルデータおよび前記フレーム同期データを生成して前記第 2 の信号線に供給する変換回路を有し、

前記フレーム同期データは、前記シリアルデータ中で最後に前記第 2 の信号線に供給される最終データの反転データと、この反転データに続く前記最終データとを有する

請求項 1 記載の送信回路。

【請求項 4】

前記シリアルデータは、前記クロック信号の立上りと立下りのうち一方のエッジに同期して送信され、

前記区間は、前記クロック信号の立上りと立下りのうち他方のエッジから次の前記他方のエッジまでの区間である

請求項 1 記載の送信回路。

【請求項 5】

前記シリアルデータは、前記クロック信号の立上りと立下りの各エッジに対応して送信され、

前記クロック信号のエッジは、前記クロック信号の立上りと立下りの各エッジである

請求項 1 記載の送信回路。

【請求項 6】

送信回路から送信されたクロック信号を第 1 の信号線を介して受信し、前記送信回路から前記クロック信号に対応して送信されたシリアルデータを第 2 の信号線を介して受信する受信回路であって、

前記クロック信号のエッジから次の前記エッジまでの区間内に前記第 2 の信号線からの転送データの値が 2 回以上変化した場合に、ロード信号を生成する制御回路と、

前記第 2 の信号線からの前記シリアルデータを前記クロック信号に対応して順次ラッチし、ラッチした前記シリアルデータを前記ロード信号に基づいてパラレルデータに変換する変換回路と

を有する

受信回路。

【請求項 7】

前記フレーム同期データは、前記シリアルデータ中で最後に送信される最終データの反転データと、この反転データに続く前記最終データとを有する

請求項 6 記載の受信回路。

【請求項 8】

前記シリアルデータは、前記クロック信号の立上りと立下りのうち一方のエッジに同期して前記送信回路から送信され、

前記区間は、前記クロック信号の立上りと立下りのうち他方のエッジから次の前記他方のエッジまでの区間であり、

前記変換回路は、

前記第 2 の信号線からの前記シリアルデータを前記他方のエッジに対応して順

次ラッチするシフトレジスタと、

前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタと

を有する

請求項 6 記載の受信回路。

【請求項 9】

前記シリアルデータは、前記クロック信号の立上りと立下りの各エッジに対応して前記送信回路から送信され、

前記クロック信号のエッジは、前記クロック信号の立上りと立下りの各エッジであり、

前記変換回路は、

前記第 2 の信号線からの前記シリアルデータを前記クロック信号のエッジに対応して順次ラッチするシフトレジスタと、

前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタと

を有する

請求項 6 記載の受信回路。

【請求項 10】

送信回路と、

前記送信回路から送信されたクロック信号を第 1 の信号線を介して受信し、前記送信回路から送信されたシリアルデータを第 2 の信号線を介して受信する受信回路と

を有するデータ通信装置であって、

前記送信回路は、

1 フレーム分のパラレルデータをシリアルデータに変換して当該シリアルデータを前記クロック信号に対応して送信し、前記クロック信号のエッジから次の前記エッジまでの区間内に値が N 回（N は 2 以上の整数）変化するフレーム同期データを、当該シリアルデータに続いて送信し、

前記受信回路は、

前記クロック信号のエッジから次の前記エッジまでの区間内に前記第 2 の信号線からの転送データの値が 2 回以上変化した場合に、ロード信号を生成する受信制御回路と、

前記第 2 の信号線からの前記シリアルデータを前記クロック信号に対応して順次ラッチし、ラッチした前記シリアルデータを前記ロード信号に基づいてパラレルデータに変換するシリアル／パラレル変換回路と

を有する

データ通信装置。

【請求項 1 1】

前記送信回路は、前記フレーム同期データの送信時における前記クロック信号のエッジの間隔を、前記シリアルデータの送信時における前記クロック信号のエッジの間隔よりも大きくする送信制御回路を有する

請求項 1 0 記載のデータ通信装置。

【請求項 1 2】

前記送信回路は、前記 1 フレーム分のパラレルデータに基づき、前記シリアルデータおよび前記フレーム同期データを生成して前記第 2 の信号線に供給するパラレル／シリアル変換回路を有し、

前記フレーム同期データは、前記シリアルデータ中で最後に前記第 2 の信号線に供給される最終データの反転データと、この反転データに続く前記最終データとを有する

請求項 1 0 記載のデータ通信装置。

【請求項 1 3】

前記送信回路は、前記クロック信号の立上りと立下りのうち一方のエッジに同期して前記シリアルデータを送信し、

前記区間は、前記クロック信号の立上りと立下りのうち他方のエッジから次の前記他方のエッジまでの区間であり、

前記シリアル／パラレル変換回路は、

前記第 2 の信号線からの前記シリアルデータを前記他方のエッジに対応して順次ラッチするシフトレジスタと、

前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタと

を有する

請求項 1 0 記載のデータ通信装置。

【請求項 1 4】

前記送信回路は、前記クロック信号の立上りと立下りの各エッジに対応して前記シリアルデータを送信し、

前記クロック信号のエッジは、前記クロック信号の立上りと立下りの各エッジであり、

前記シリアル／パラレル変換回路は、

前記第 2 の信号線からの前記シリアルデータを前記クロック信号のエッジに対応して順次ラッチするシフトレジスタと、

前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタと

を有する

請求項 1 0 記載のデータ通信装置。

【請求項 1 5】

前記受信回路は、複数の第 2 の信号線を介して前記送信回路に接続されており

前記送信回路は、

複数の前記パラレルデータを複数の前記シリアルデータに変換して当該複数の前記シリアルデータを前記複数の第 2 の信号線を介して前記受信回路に送信し、前記複数の第 2 の信号線のうち 1 つの信号線を介して前記フレーム同期データを送信すると共に前記複数の第 2 の信号線のうち残りの信号線を介して前記フレーム同期データを選択的に送信し、

前記受信制御回路は、

前記 1 つの信号線からの前記転送データが前記区間内に 2 回以上変化した場合に、当該区間内において前記残りの信号線からの前記転送データが 2 回以上変化したか否かを検出する

請求項 1 0 記載のデータ通信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、シリアルデータを受信回路に送信する送信回路と、送信回路から送信されたシリアルデータを受信する受信回路と、前記送信回路および前記受信回路を有するデータ通信装置とに関する。

【0 0 0 2】

【従来の技術】

シリアルデータの転送に関しては、種々の文献が報告されている。

例えば、特開平 1 1 - 1 7 8 3 4 9 号公報には、シリアルデータ転送を行うパルス幅変調制御装置の発明が開示されている。

特開平 1 1 - 1 4 5 9 4 4 号公報には、シリアルデータ転送用の信号同期検出回路の発明が開示されている。

特開平 1 1 - 7 4 8 9 3 号公報には、シリアルデータ転送を行うデータ通信装置およびその通信方法の発明が開示されている。

特開平 5 - 2 6 8 2 1 0 号公報および特開平 6 - 2 1 9 9 9 号公報には、シリアル通信装置の発明が開示されている。

【0 0 0 3】

従来のシリアルデータ転送時のフレーム同期は、例えば以下の ( 1 ) ~ ( 3 ) に示す手法で行われてきた。

( 1 ) フレーム同期専用の信号線を設け、フレーム同期信号を転送する。

( 2 ) 周波数変調または位相変調により 1 本の信号線に複数のデータを重畳することで、フレーム同期信号を同時に転送する。

【0 0 0 4】

( 3 ) 特定パターンのデータをフレーム同期信号として用いる。データ送信時にはデータをコード変換してフレーム同期信号以外のパターンに変換する。受信側ではフレーム同期信号に基づいて 1 フレーム分のデータ ( またはビット ) を取り出し、コード逆変換を行って元のデータに戻す。



## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

上記（１）の手法では、シリアル転送することによりデータ転送用の信号線の本数を減らしているが、間欠的に使用されるフレーム同期信号のためにフレーム同期専用の信号線が増える。

上記（２），（３）の手法では、コード変換／逆変換や変調／復調を行う回路が複雑になる。

上記（３）の手法では、フレーム同期パターン分のシリアルデータ（複数ビット）を全て受信して特定パターンと比較するまでフレームの区切りが判らず、１フレームを受け取る時間が長くなる。

## 【 0 0 0 6 】

本発明の目的は、フレーム同期をとりながらデータ転送が可能な新規な構成のデータ通信装置と、このデータ通信装置で使用可能な送信回路および受信回路とを提供することにある。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

本発明に係る送信回路は、クロック信号を第１の信号線を介して受信回路に送信し、シリアルデータを第２の信号線を介して前記受信回路に送信する送信回路であって、１フレーム分のパラレルデータをシリアルデータに変換して当該シリアルデータを前記クロック信号に対応して送信し、前記クロック信号のエッジから次の前記エッジまでの区間内に値が $N$ 回（ $N$ は２以上の整数）変化するフレーム同期データを、当該シリアルデータに続いて送信する。

## 【 0 0 0 8 】

本発明に係る送信回路は、好適には、前記フレーム同期データの送信時における前記クロック信号の前記エッジの間隔を、前記シリアルデータの送信時における前記クロック信号の前記エッジの間隔よりも大きくする制御回路を有する。

## 【 0 0 0 9 】

本発明に係る送信回路は、好適には、前記１フレーム分のパラレルデータに基づき、前記シリアルデータおよび前記フレーム同期データを生成して前記第２の

信号線に供給する変換回路を有し、前記フレーム同期データは、前記シリアルデータ中で最後に前記第 2 の信号線に供給される最終データの反転データと、この反転データに続く前記最終データとを有する。

## 【 0 0 1 0 】

本発明に係る送信回路では、例えば、前記シリアルデータは、前記クロック信号の立上りと立下りのうち一方のエッジに同期して送信され、前記区間は、前記クロック信号の立上りと立下りのうち他方のエッジから次の前記他方のエッジまでの区間である構成としてもよい。

## 【 0 0 1 1 】

本発明に係る送信回路では、例えば、前記シリアルデータは、前記クロック信号の立上りと立下りの各エッジに対応して送信され、前記クロック信号のエッジは、前記クロック信号の立上りと立下りの各エッジである構成としてもよい。

## 【 0 0 1 2 】

本発明に係る受信回路は、送信回路から送信されたクロック信号を第 1 の信号線を介して受信し、前記送信回路から前記クロック信号に対応して送信されたシリアルデータを第 2 の信号線を介して受信する受信回路であって、前記クロック信号のエッジから次の前記エッジまでの区間内に前記第 2 の信号線からの転送データの値が 2 回以上変化した場合に、ロード信号を生成する制御回路と、前記第 2 の信号線からの前記シリアルデータを前記クロック信号に対応して順次ラッチし、ラッチした前記シリアルデータを前記ロード信号に基づいてパラレルデータに変換する変換回路とを有する。

## 【 0 0 1 3 】

本発明に係る受信回路では、好適には、前記フレーム同期データは、前記シリアルデータ中で最後に送信される最終データの反転データと、この反転データに続く前記最終データとを有する。

## 【 0 0 1 4 】

本発明に係る受信回路では、例えば、前記シリアルデータは、前記クロック信号の立上りと立下りのうち一方のエッジに同期して前記送信回路から送信され、前記区間は、前記クロック信号の立上りと立下りのうち他方のエッジから次の前

記他方のエッジまでの区間であり、前記変換回路は、前記第 2 の信号線からの前記シリアルデータを前記他方のエッジに対応して順次ラッチするシフトレジスタと、前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタとを有する構成としてもよい。

## 【 0 0 1 5 】

本発明に係る受信回路では、例えば、前記シリアルデータは、前記クロック信号の立上りと立下りの各エッジに対応して前記送信回路から送信され、前記クロック信号のエッジは、前記クロック信号の立上りと立下りの各エッジであり、前記変換回路は、前記第 2 の信号線からの前記シリアルデータを前記クロック信号のエッジに対応して順次ラッチするシフトレジスタと、前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタとを有する構成としてもよい。

## 【 0 0 1 6 】

本発明に係るデータ通信装置は、送信回路と、前記送信回路から送信されたクロック信号を第 1 の信号線を介して受信し、前記送信回路から送信されたシリアルデータを第 2 の信号線を介して受信する受信回路とを有するデータ通信装置であって、前記送信回路は、1 フレーム分のパラレルデータをシリアルデータに変換して当該シリアルデータを前記クロック信号に対応して送信し、前記クロック信号のエッジから次の前記エッジまでの区間内に値が N 回（N は 2 以上の整数）変化するフレーム同期データを、当該シリアルデータに続いて送信し、前記受信回路は、前記クロック信号のエッジから次の前記エッジまでの区間内に前記第 2 の信号線からの転送データの値が 2 回以上変化した場合に、ロード信号を生成する受信制御回路と、前記第 2 の信号線からの前記シリアルデータを前記クロック信号に対応して順次ラッチし、ラッチした前記シリアルデータを前記ロード信号に基づいてパラレルデータに変換するシリアル／パラレル変換回路とを有する。

## 【 0 0 1 7 】

本発明に係るデータ通信装置では、好適には、前記送信回路は、前記フレーム同期データの送信時における前記クロック信号のエッジの間隔を、前記シリアルデータの送信時における前記クロック信号のエッジの間隔よりも大きくする送信

制御回路を有する。

【 0 0 1 8 】

本発明に係るデータ通信装置では、好適には、前記送信回路は、前記 1 フレーム分のパラレルデータに基づき、前記シリアルデータおよび前記フレーム同期データを生成して前記第 2 の信号線に供給するパラレル／シリアル変換回路を有し、前記フレーム同期データは、前記シリアルデータ中で最後に前記第 2 の信号線に供給される最終データの反転データと、この反転データに続く前記最終データとを有する。

【 0 0 1 9 】

本発明に係るデータ通信装置では、例えば、前記送信回路は、前記クロック信号の立上りと立下りのうち一方のエッジに同期して前記シリアルデータを送信し、前記区間は、前記クロック信号の立上りと立下りのうち他方のエッジから次の前記他方のエッジまでの区間であり、前記シリアル／パラレル変換回路は、前記第 2 の信号線からの前記シリアルデータを前記他方のエッジに対応して順次ラッチするシフトレジスタと、前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタとを有する構成としてもよい。

【 0 0 2 0 】

本発明に係るデータ通信装置では、例えば、前記送信回路は、前記クロック信号の立上りと立下りの各エッジに対応して前記シリアルデータを送信し、前記クロック信号のエッジは、前記クロック信号の立上りと立下りの各エッジであり、前記シリアル／パラレル変換回路は、前記第 2 の信号線からの前記シリアルデータを前記クロック信号のエッジに対応して順次ラッチするシフトレジスタと、前記シフトレジスタの保持データを前記ロード信号に基づいてラッチしてパラレルデータに変換する出力レジスタとを有する構成としてもよい。

【 0 0 2 1 】

本発明に係るデータ通信装置では、例えば、前記受信回路は、複数の第 2 の信号線を介して前記送信回路に接続されており、前記送信回路は、複数の前記パラレルデータを複数の前記シリアルデータに変換して当該複数の前記シリアルデー

タを前記複数の第 2 の信号線を介して前記受信回路に送信し、前記複数の第 2 の信号線のうち 1 つの信号線を介して前記フレーム同期データを送信すると共に前記複数の第 2 の信号線のうち残りの信号線を介して前記フレーム同期データを選択的に送信し、前記受信制御回路は、前記 1 つの信号線からの前記転送データが前記区間内に 2 回以上変化した場合に、当該区間内において前記残りの信号線からの前記転送データが 2 回以上変化したか否かを検出する構成としてもよい。

#### 【 0 0 2 2 】

送信回路は、1 フレーム分のパラレルデータをシリアルデータに変換し、前記シリアルデータを第 2 の信号線を介して受信回路に送信する。

次に、送信回路は、クロック信号のエッジから次の前記エッジまでの区間内に複数回変化するフレーム同期データを、1 フレーム分のシリアルデータに続いて前記第 2 の信号線を介して受信回路に送信する。

受信回路は、クロック信号のエッジから次の前記エッジまでの区間内に転送データの値が 2 回以上変化した場合に、送信回路からの前記シリアルデータをパラレルデータに変換する。

このようにして、前記送信回路および受信回路を有するデータ通信装置では、フレーム同期をとりながらデータ転送を行うことが可能である。

#### 【 0 0 2 3 】

##### 【発明の実施の形態】

以下、本発明の実施の形態を添付図面を参照して説明する。

#### 【 0 0 2 4 】

##### 第 1 の実施の形態

図 1 は、本発明に係るデータ通信装置の第 1 の実施の形態を示す概略的なブロック構成図である。

このデータ通信装置 2 9 9 は、送信回路 1 0 0 と、受信回路 2 0 0 と、信号線 1 0 1, 1 0 5 とを有する。送信回路 1 0 0 と受信回路 2 0 0 は、信号線 1 0 1, 1 0 5 を介して互いに接続されている。

#### 【 0 0 2 5 】

送信回路 1 0 0 は、送信制御回路 1 1 0 と、パラレル／シリアル変換回路（P

／S変換回路) 160とを有する。

送信制御回路110は、P／S変換用のロード信号TXLDと、基準となるクロック信号(基準クロック信号)CK0と、リセット信号CLR\_\_Xとが供給される。

この送信制御回路110は、レディ信号RDYを生成する。また、シリアルデータ転送用のクロック信号SCKを生成して信号線101を介して受信回路200に供給し、P／S変換用のクロック信号PSCKを生成してP／S変換回路160に供給する。

#### 【0026】

P／S変換回路160は、パラレルデータTXD0～TXD7(パラレルデータTXD0～7)と、P／S変換用のロード信号TXLDと、P／S変換用のクロック信号PSCKとが供給される。

このP／S変換回路160は、パラレルデータTXD0～7をシリアルデータに変換して信号線105を介して受信回路200に供給する。

#### 【0027】

信号線101は、送信回路100から送信されたクロック信号SCKを転送して受信回路200に供給する。

信号線105は、送信回路100からクロック信号SCKに対応して送信されたシリアルデータを転送して受信回路200に供給する。信号線105は、シリアル転送路を構成している。なお、信号線101、105の長さの差、すなわち転送遅延時間の差は、クロック信号SCKのパルス幅に比べて無視できる程度であることが望ましい。

#### 【0028】

受信回路200は、受信制御回路210と、シリアル／パラレル変換回路(S／P変換回路)260とを有する。

受信制御回路210は、シリアルデータおよびフレーム同期データを有する転送データSDと、シリアルデータ転送用のクロック信号SCKとが供給される。

この受信制御回路210は、S／P変換用のロード信号RXLDを生成してS／P変換回路260に供給する。

## 【0029】

S/P変換回路260は、シリアルデータおよびフレーム同期データを有する転送データSDと、シリアルデータ転送用のクロック信号SCKと、S/P変換用のロード信号RXLDが供給される。

このS/P変換回路260は、転送データSD中の前記シリアルデータをパラレルデータRXD0～RXD7（パラレルデータRXD0～7）に変換する。

## 【0030】

図2は、図1のデータ通信装置299の概略的なタイムチャートである。

このタイムチャートでは、1フレームの送信データ中の最後の4ビット（TXD4～7）がシリアル転送され、クロック信号SCKの立上りエッジから次の立上りエッジまでの区間a～bでフレーム同期データ（フレーム終了信号）が転送され、次のフレームの転送が開始される様子を示している。この例では、転送データSDは、LSB（Least Significant Bit）側から順次シリアル転送されている。

前記フレーム同期データは、データTXD7の反転データ/TXD7と、この反転データに続くデータTXD7とにより、構成されている。

## 【0031】

図1の送信回路100は、クロック信号SCKの立下りエッジに同期してシリアルデータを受信回路200に送信する。

受信回路200は、クロック信号SCKの立上りエッジに同期してシリアルデータをシフトレジスタに取り込む。また、クロック信号SCKの立上りエッジから次の立上りエッジまでの区間内に、転送データSDの値が2回以上変化した場合に、その変化を1フレームの終了を示すフレーム同期データとして検出する。

## 【0032】

図2では、区間a～bで転送データSDの値が2回変化しており、この変化を受信制御回路210はフレーム同期データとして検出する。

そして、受信制御回路210は、S/P変換用のロード信号RXLDを生成する。S/P変換回路260は、ロード信号RXLDに基づいてシフトレジスタの保持データをフレームレジスタに移してパラレルデータRXD0～7を生成し、

パラレルデータTXD0～7を復元する。

【0033】

図3は、図1中の送信制御回路の実施の形態を示す回路図である。

この送信制御回路110は、論理和回路（OR回路）111～117と、D型フリップフロップ（DFF）121～128、132、141、146と、反転回路（NOT回路）120、142、147と、増幅回路140と、論理積回路（AND回路）131と、選択回路（セレクタ）130とを有する。

【0034】

OR回路111～117の一方の入力端子には、対応するDFF122～128の出力信号が供給され、他方の入力端子にはロード信号TXLDが供給される。

【0035】

DFF121～127のデータ入力端子Dには、対応するOR回路111～117の出力信号が供給される。

また、DFF128のデータ入力端子Dには、ロード信号TXLDが供給される。

DFF121～128のクロック入力端子CKには、DFF146の出力信号DIV4が供給される。

【0036】

反転回路120は、DFF121の出力信号TX11\_\_Bを反転してレディ信号RDYを生成する。

【0037】

AND回路131は、DFF122の出力信号を反転した信号とDFF121の出力信号TX11\_\_Bとの論理積を演算し、演算結果をDFF132に供給する。

DFF132のデータ入力端子Dには、AND回路131の出力信号が供給され、クロック入力端子CKには反転回路147の出力信号が供給される。

【0038】

選択回路130の入力端子Aには、DFF146の出力信号DIV4が供給さ



れ、入力端子Bには反転回路142の出力信号XDIV2が供給され、制御端子SにはDFF132の出力信号が供給される。

選択回路130は、制御端子Sに供給される信号がローレベル（または論理値0）である場合には、入力端子Aに供給されている信号DIV4を選択し、当該信号DIV4をクロック信号PCKとして出力端子Xから出力する。

選択回路130は、制御端子Sに供給される信号がハイレベル（または論理値1）である場合には、入力端子Bに供給されている信号XDIV2を選択し、当該信号XDIV2をクロック信号PCKとして出力端子Xから出力する。

#### 【0039】

DFF141のデータ入力端子Dには、反転回路142の出力信号XDIV2が供給され、クロック入力端子CKにはクロック信号CK0が供給される。

DFF141は、出力信号DIV2を、反転回路142およびDFF146に供給する。

#### 【0040】

DFF146のデータ入力端子Dには、反転回路147の出力信号が供給され、クロック入力端子CKにはDFF141の出力信号DIV2が供給される。

DFF146は、出力信号DIV4を、DFF121～128のクロック入力端子CKと、反転回路147と、選択回路130の入力端子Aとに供給する。

#### 【0041】

反転回路147は、DFF146の出力信号DIV4を反転した信号を、DFF146の入力端子Dと、DFF132のクロック入力端子CKと、増幅回路140とに供給する。

#### 【0042】

増幅回路140は、反転回路147の出力信号を増幅し、シリアルデータ転送用のクロック信号SCKを生成する。

#### 【0043】

DFF121～128, 132, 141, 146のリセット端子には、リセット信号CLR\_Xが供給され、リセット信号CLR\_Xがローレベルである場合にDFF121～128, 132, 141, 146はリセットされる。

## 【 0 0 4 4 】

DF F 1 4 1 および反転回路 1 4 2 は、分周回路を構成しており、クロック信号 C K 0 の 2 倍の周期の信号 D I V 2 , X D I V 2 を生成する。

DF F 1 4 6 および反転回路 1 4 7 は、分周回路を構成しており、信号 D I V 2 の 2 倍の周期の信号 D I V 4 を生成する。

選択回路 1 3 0 は、シリアルデータの転送用に信号 D I V 4 をクロック信号 P S C K として出力し、フレーム同期データの転送用に信号 X D I V 2 をクロック信号 P S C K として出力する。

## 【 0 0 4 5 】

図 4 は、図 1 中の P / S 変換回路の実施の形態を示す回路図である。

この P / S 変換回路 1 6 0 は、増幅回路 1 9 1 と、反転回路 1 9 5 と、選択回路 1 7 0 ~ 1 7 9 と、DF F 1 8 0 ~ 1 8 9 とを有する。

## 【 0 0 4 6 】

増幅回路 1 9 1 は、ロード信号 T X L D を増幅して選択回路 1 7 0 ~ 1 7 9 の制御端子（選択制御端子） S に供給する。

反転回路 1 9 5 は、データ T X D 7 の反転データ（反転信号） / T X D 7 を生成して選択回路 1 7 8 に供給する。

## 【 0 0 4 7 】

選択回路 1 7 0 ~ 1 7 8 の入力端子 A には、対応する DF F 1 8 1 ~ 1 8 9 の出力信号が供給され、選択回路 1 7 9 の入力端子 A には DF F 1 8 9 の出力信号が供給される。

選択回路 1 7 0 ~ 1 7 7 の入力端子 B には、対応するパラレルデータ T X D 0 ~ 7 が供給され、選択回路 1 7 8 の入力端子 B には反転データ / T X D 7 が供給され、選択回路 1 7 9 の入力端子 B にはデータ T X D 7 が供給される。

## 【 0 0 4 8 】

DF F 1 8 0 ~ 1 8 9 のデータ入力端子 D には、対応する選択回路 1 7 0 ~ 1 7 9 の出力信号が供給され、クロック入力端子 C K には P / S 変換用のクロック信号 P S C K が供給される。

DF F 1 8 0 は、出力端子 Q から転送データ S D を信号線 1 0 5 に出力する。

## 【 0 0 4 9 】

P/S変換回路160において、ロード信号TXLDがハイレベルである場合、選択回路170～177はパラレルデータTXD0～7をDFF180～187に供給し、選択回路178は反転データ/TXD7をDFF188に供給し、選択回路179はデータTXD7をDFF189に供給する。

そして、DFF180～189は、DFF180～189のデータ入力端子Dに供給されているデータを、クロック信号PCKに基づいてラッチする。

## 【 0 0 5 0 】

P/S変換回路160において、ロード信号TXLDがローレベルである場合、選択回路170～177はDFF181～189の出力データ（出力信号）をDFF180～187に供給する。

そして、DFF180～189は、DFF180～189のデータ入力端子Dに供給されているデータ（信号）を、クロック信号PCKに基づいてラッチし、パラレルデータTXD0～7をシリアルデータに変換し、前記シリアルデータと反転データ/TXD7とデータTXD7とを有する転送データSDを、DFF180から出力する。反転データ/TXD7とデータTXD7は、フレーム同期データである。

## 【 0 0 5 1 】

このように、図1の送信回路100は、クロック信号SCKを信号線101を介して受信回路200に送信し、シリアルデータを信号線105を介して受信回路200に送信する。

送信回路100内のP/S変換回路160は、1フレーム分のパラレルデータTXD0～7をシリアルデータに変換して当該シリアルデータをクロック信号SCKの立下りエッジに同期して送信し、クロック信号SCKの立上りエッジから次の立上りエッジまでの区間内に値がN回（Nは2以上の整数）変化するフレーム同期データを、前記シリアルデータに続いて送信する。

## 【 0 0 5 2 】

図5は、図1中の受信制御回路の実施の形態を示す回路図である。

この受信制御回路210は、増幅回路211、213～216、221と、排

他の論理和回路（E O R 回路）2 1 2 と、論理積回路 2 2 2 と、論理和回路 2 2 3 と、D F F 2 1 7, 2 1 8 とを有する。

## 【 0 0 5 3 】

増幅回路 2 1 1 は、信号線 1 0 5 からの転送データ S D を増幅して排他的論理和回路 2 1 2 に供給する。

排他的論理和回路 2 1 2 は、増幅回路 2 1 1 の出力データと転送データ S D との排他的論理和を演算し、演算結果を増幅回路 2 1 3 に供給する。

増幅回路 2 1 1 および排他的論理和回路 2 1 2 は、転送データ S D の値の変化を検出する変化検出回路を構成している。

## 【 0 0 5 4 】

増幅回路 2 1 3 ~ 2 1 6 は直列接続されており、増幅回路 2 1 6 は出力信号（データパルス）S D P を生成して D F F 2 1 7, 2 1 8 のクロック入力端子 C K に供給する。

## 【 0 0 5 5 】

増幅回路 2 2 1 は、信号線 1 0 1 からのクロック信号 S C K を増幅して論理積回路 2 2 2 に供給する。

論理積回路 2 2 2 は、増幅回路 2 2 1 の出力信号の反転信号とクロック信号 S C K との論理積を演算し、演算結果を論理和回路 2 2 3 に供給する。

増幅回路 2 2 1 および排他的論理和回路 2 2 2 は、クロック信号 S C K の立上りエッジを検出する立上りエッジ検出回路を構成している。

## 【 0 0 5 6 】

論理和回路 2 2 3 は、論理積回路 2 2 2 の出力信号とロード信号 R X L D の論理和を演算し、演算結果の否定値を示す信号 C L R \_ X R を生成して D F F 2 1 7, 2 1 8 のリセット端子に供給する。

## 【 0 0 5 7 】

D F F 2 1 7 のデータ入力端子 D には、電源電圧  $V_H$  が供給されてハイレベルに固定されている。

D F F 2 1 8 のデータ入力端子 D には、D F F 2 1 7 の出力信号が供給される。D F F 2 1 8 は、出力端子 Q からロード信号 R X L D を出力する。

DFF 2 1 7, 2 1 8 は、クロック信号 SCK の立上りエッジ毎にリセットされる。

【 0 0 5 8 】

DFF 2 1 8 は、クロック信号 SCK の立上りエッジから次の立上りエッジまでの区間内に、信号 SDP が 2 回以上ハイレベルになった場合（すなわち、転送データ SD が 2 回以上変化した場合）に、ハイレベルのロード信号 RXLD を生成する。

【 0 0 5 9 】

図 6 は、図 1 中の S / P 変換回路の実施の形態を示す回路図である。

この S / P 変換回路 2 6 0 は、増幅回路 2 7 9, 2 8 9 と、DFF 2 7 0 ~ 2 7 7, 2 8 0 ~ 2 8 7 とを有する。

【 0 0 6 0 】

増幅回路 2 7 9 は、クロック信号 SCK を増幅してクロック信号 N 1 を生成し、クロック信号 N 1 を DFF 2 7 0 ~ 2 7 7 のクロック入力端子 CK に供給する。

増幅回路 2 8 9 は、ロード信号 RXLD を増幅して信号 N 3 を生成し、信号 N 3 を DFF 2 8 0 ~ 2 8 7 のクロック入力端子 CK に供給する。

【 0 0 6 1 】

DFF 2 7 0 ~ 2 7 7 は直列接続されており、シフトレジスタを構成している。

DFF 2 7 7 のデータ入力端子 D には、転送データ SD が供給され、この転送データ SD がクロック信号 N 1 に応じて DFF 2 7 7 ~ 2 7 0 の順に順次ラッチされる。

【 0 0 6 2 】

DFF 2 8 0 ~ 2 8 7 のデータ入力端子 D には、対応する DFF 2 7 0 ~ 2 7 7 の出力データが供給される。

DFF 2 8 0 ~ 2 8 7 は、フレームレジスタおよび出力レジスタを構成しており、DFF 2 7 0 ~ 2 7 7 の出力データをロード信号 N 3 に応じてラッチし、転送データ SD 中のシリアルデータをパラレルデータ RXD 0 ~ 7 に変換する。

## 【0063】

このように、図1の受信回路200は、送信回路100から送信されたクロック信号SCKを信号線101を介して受信し、送信回路100からクロック信号SCKの立下りエッジに同期して送信されたシリアルデータを信号線105を介して受信する。

受信回路200内の受信制御回路210は、クロック信号SCKの立上りエッジから次の立上りエッジまでの区間内に信号線105からの転送データSDの値が2回以上変化した場合に、ロード信号RXLDを生成する。

S/P変換回路260は、信号線105からの前記シリアルデータをクロック信号SCKの立上りエッジに対応して順次ラッチし、ラッチした前記シリアルデータをロード信号RXLDに基づいてパラレルデータに変換する。

## 【0064】

図7は、図1および図3～図6に示す送信制御回路110、P/S変換回路160、受信制御回路210およびS/P変換回路260の動作を示すタイムチャートである。

## 【0065】

第2の実施の形態

図8は、本発明に係るデータ通信装置の第2の実施の形態を示す概略的なブロック構成図である。

このデータ通信装置399は、送信回路300と、受信回路200と、信号線101、105とを有する。なお、図8のデータ通信回路399において、図1のデータ通信装置299と同一構成のブロックには同一符号を付しており、同一構成のブロックの説明を適宜省略する。

## 【0066】

送信回路300は、送信制御回路310と、P/S変換回路160とを有する。

送信制御回路310は、P/S変換用のロード信号TXLDと、基準となるクロック信号CK0と、リセット信号CLR\_Xとが供給される。

この送信制御回路310は、レディ信号RDYを生成する。また、シリアルデ

ータ転送用のクロック信号 SCK を生成して受信回路 200 に供給し、P/S 変換用のクロック信号 PSCK を生成して P/S 変換回路 160 に供給する。

#### 【0067】

図 9 は、図 8 のデータ通信装置 399 の概略的なタイムチャートである。

このタイムチャートでは、1 フレームの送信データの最後の 4 ビット (TXD 4 ~ 7) がシリアル転送され、区間 c ~ d でフレーム同期データが転送され、次のフレームの転送が開始される様子を示している。この例では、転送データ SD は、LSB 側から順次シリアル転送されている。

#### 【0068】

図 8 の送信回路 300 は、クロック信号 SCK の立下りに同期して転送データ SD 中のシリアルデータを受信回路 200 に送信する。

送信回路 300 は、フレーム同期データの送信時に、クロック信号 SCK のエッジ間隔を広げており、フレーム同期データ (TXD 7, TXD 7) の変化の周期を前記シリアルデータの変化の周期と同じにしている。

送信回路 300 は、図 9 のタイムチャートに示すように、フレーム同期データの変化時に、クロック信号 SCK のパルスを区間 c ~ d で間引くような動作を行う。

#### 【0069】

受信回路 200 は、クロック信号 SCK の立上りに同期して転送データ SD 中のシリアルデータをシフトレジスタに取り込む。また、クロック信号 SCK の立上りエッジから次の立上りエッジまでの区間 c ~ d に、転送データ SD が 2 回以上変化した場合に、その変化をフレーム同期データとして検出する。

#### 【0070】

図 9 では、区間 c ~ d で転送データ SD が 2 回変化しており、この変化を受信制御回路 210 はフレーム同期データとして検出する。

そして、受信制御回路 210 は、S/P 変換用のロード信号 RXLD を生成する。S/P 変換回路 260 は、ロード信号 RXLD に基づいてシフトレジスタの保持データをフレームレジスタに移してパラレルデータ RXD 0 ~ 7 を生成し、パラレルデータ TXD 0 ~ 7 を復元する。

## 【0071】

図10は、図8中の送信制御回路の実施の形態を示す回路図である。

この送信制御回路310は、論理和回路（OR回路）311～318、332と、DFF321～329と、反転回路（NOT回路）320、342と、増幅回路345と、論理積回路（AND回路）330、340と、フリップフロップ（FF）331、341とを有する。

## 【0072】

OR回路311～318の一方の入力端子には、対応するDFF322～329の出力データが供給され、他方の入力端子にはロード信号TXLDが供給される。

## 【0073】

DFF321～328のデータ入力端子Dには、対応するOR回路311～318の出力信号が供給される。また、DFF329のデータ入力端子Dには、ロード信号TXLDが供給される。

DFF321～329のクロック入力端子CKには、クロック信号CK0が供給される。

DFF321～329のリセット端子には、リセット信号CLR\_Xが供給され、リセット信号CLR\_Xがローレベルである場合にDFF321～329はリセットされる。

## 【0074】

反転回路320は、DFF321の出力信号を反転してレディ信号RDYを生成する。

OR回路332は、DFF321の出力信号とロード信号TXLDとの論理和を演算し、演算結果をFF331に供給する。

## 【0075】

FF331のデータ入力端子Dには、OR回路332の出力信号が供給され、ゲート端子Gにはクロック信号CK0が供給される。

FF331は、ゲート端子Gがローレベルの場合、データ入力端子Dに供給されている信号を出力端子Qから出力する。



FF 3 3 1 は、ゲート端子 G がローレベルからハイレベルになった場合、ハイレベルになった時にデータ入力端子 D に供給されていた信号をラッチし、ラッチした信号を、ゲート端子 G が次にローレベルになるまで出力端子 Q から出力する。すなわち、FF 3 3 1 の出力信号はクロック信号 CK 0 のハイレベル時に変化しない。

## 【 0 0 7 6 】

AND 回路 3 3 0 は、FF 3 3 1 の出力信号とクロック信号 CK 0 との論理積を演算し、演算結果をクロック信号 PSCK として出力する。

AND 回路 3 3 0 は、クロック信号 CK 0 がローレベルの場合、ローレベルのクロック信号 PSCK を生成する。

OR 回路 3 3 2 と AND 回路 3 3 0 との間に FF 3 3 1 を介在させることで、クロック信号 CK 0 のハイレベル時に、AND 回路 3 3 0 の出力信号 PSCK がハイレベルからローレベルに変化することを防止している。

## 【 0 0 7 7 】

反転回路 3 4 2 は、クロック信号 CK 0 の反転信号を生成して FF 3 4 1 および AND 回路 3 4 0 に供給する。

FF 3 4 1 のデータ入力端子 D には DFF 3 2 2 の出力信号が供給され、ゲート端子には反転回路 3 4 2 の出力信号が供給される。

## 【 0 0 7 8 】

AND 回路 3 4 0 は、FF 3 4 1 の出力信号と反転回路 3 4 2 の出力信号との論理積を演算し、演算結果を増幅回路 3 4 5 に供給する。

FF 3 4 1 を設けることで、反転回路 3 4 2 の出力信号がハイレベルの時に、AND 回路 3 4 0 の出力信号がハイレベルからローレベルに変化することを防止している。

増幅回路 3 4 5 は、AND 回路 3 4 0 の出力信号を増幅し、シリアルデータ転送用のクロック信号 SCK を生成する。

## 【 0 0 7 9 】

図 1 0 の送信制御回路 3 1 0 では、DFF 3 2 2 の出力信号とクロック信号 CK 0 の反転信号との論理積を演算することで、P / S 変換回路 1 6 0 で転送デー

タ S D を変化させてフレーム同期データを生成する場合に、クロック信号 S C K のエッジ間隔が広がってパルスが間引きされる構成としている。

送信制御回路 3 1 0 は、フレーム同期データの送信時におけるクロック信号 S C K のエッジ間隔を、シリアルデータの送信時におけるクロック信号 S C K のエッジ間隔よりも大きくしている。

#### 【 0 0 8 0 】

このように、図 8 の送信回路 3 0 0 は、クロック信号 S C K を信号線 1 0 1 を介して受信回路 2 0 0 に送信し、シリアルデータを信号線 1 0 5 を介して受信回路 2 0 0 に送信する。

送信回路 3 0 0 内の P / S 変換回路 1 6 0 は、1 フレーム分のパラレルデータ T X D 0 ~ 7 をシリアルデータに変換して当該シリアルデータをクロック信号 S C K の立下りエッジに同期して送信し、クロック信号 S C K の立上りエッジから次の立上りエッジまでの区間内に値が N 回 ( N は 2 以上の整数 ) 変化するフレーム同期データを、前記シリアルデータに続いて送信する。

#### 【 0 0 8 1 】

図 1 1 は、図 8 および図 1 0 に示す送信制御回路 3 1 0、P / S 変換回路 1 6 0、受信制御回路 2 1 0 および S / P 変換回路 2 6 0 の動作を示すタイムチャートである。

#### 【 0 0 8 2 】

### 第 3 の実施の形態

図 1 2 は、本発明に係るデータ通信装置の第 3 の実施の形態を示す概略的なブロック構成図である。

このデータ通信装置 5 9 9 は、送信回路 4 0 0 と、受信回路 5 0 0 と、信号線 1 0 1、1 0 5 とを有する。なお、図 1 2 のデータ通信回路 5 9 9 において、図 1 のデータ通信装置 2 9 9 と同一構成のブロックには同一符号を付しており、同一構成のブロックの説明を適宜省略する。

#### 【 0 0 8 3 】

送信回路 4 0 0 は、送信制御回路 4 1 0 と、P / S 変換回路 1 6 0 とを有する

送信制御回路 4 1 0 は、P / S 変換用のロード信号 TXLD と、基準となるクロック信号 CK0 と、リセット信号 CLR\_X とが供給される。

この送信制御回路 4 1 0 は、レディ信号 RDY を生成する。また、シリアルデータ転送用のクロック信号 SCK を生成して信号線 1 0 1 を介して受信回路 5 0 0 に供給し、P / S 変換用のクロック信号 PSCK を生成して P / S 変換回路 1 6 0 に供給する。

#### 【 0 0 8 4 】

P / S 変換回路 1 6 0 は、パラレルデータ TXD0 ~ 7 と、P / S 変換用のロード信号 TXLD と、P / S 変換用のクロック信号 PSCK とが供給される。

この P / S 変換回路 1 6 0 は、パラレルデータ TXD0 ~ 7 をシリアルデータに変換して信号線 1 0 5 を介して受信回路 5 0 0 に供給する。

#### 【 0 0 8 5 】

受信回路 5 0 0 は、受信制御回路 5 1 0 と、S / P 変換回路 5 6 0 とを有する。

受信制御回路 5 1 0 は、信号線 1 0 5 から転送データ SD が供給され、信号線 1 0 1 からシリアルデータ転送用のクロック信号 SCK が供給される。

この受信制御回路 5 1 0 は、S / P 変換用のロード信号 RXLD を生成して S / P 変換回路 5 6 0 に供給する。

#### 【 0 0 8 6 】

S / P 変換回路 5 6 0 は、転送データ SD と、シリアルデータ転送用のクロック信号 SCK と、S / P 変換用のロード信号 RXLD が供給される。

この S / P 変換回路 5 6 0 は、転送データ SD 中のシリアルデータをパラレルデータ RXD0 ~ 7 に変換する。

#### 【 0 0 8 7 】

図 1 3 は、図 1 2 のデータ通信装置 5 9 9 の概略的なタイムチャートである。

このタイムチャートでは、1 フレームの送信データの最後の 4 ビット (TXD4 ~ 7) がシリアル転送され、区間 e ~ f でフレーム同期データ (TXD7, TXD7) が転送され、次のフレームの転送が開始される様子を示している。この例では、転送データ SD は、LSB 側から順次シリアル転送されている。

## 【 0 0 8 8 】

送信回路 4 0 0 は、クロック信号 S C K の各エッジに対応してシリアルデータを受信回路 5 0 0 に送信する。

送信回路 4 0 0 は、フレーム同期データの送信時に、クロック信号 S C K のエッジ間隔を大きくしてクロックパルスを区間 c ~ d で間引き、フレーム同期データの変化の周期を前記シリアルデータの変化の周期と同じにしている。

## 【 0 0 8 9 】

受信回路 5 0 0 は、クロック信号 S C K の各エッジに対応して転送データ S D 中のシリアルデータをシフトレジスタに取り込む。また、クロック信号 S C K の立上りエッジから次の立下りエッジまでの区間、または、クロック信号 S C K の立下りエッジから次の立上りエッジまでの区間内に、転送データ S D の値が 2 回以上変化した場合に、その変化をフレーム同期データとして検出する。

## 【 0 0 9 0 】

図 1 3 では、区間 e ~ f で転送データ S D が 2 回変化しており、この変化を受信制御回路 5 1 0 はフレーム同期データとして検出する。

そして、受信制御回路 5 1 0 は、S / P 変換用のロード信号 R X L D を生成する。S / P 変換回路 5 6 0 は、ロード信号 R X L D に基づいてシフトレジスタの保持データをフレームレジスタに移してパラレルデータ R X D 0 ~ 7 を生成し、パラレルデータ T X D 0 ~ 7 を復元する。

## 【 0 0 9 1 】

図 1 4 は、図 1 2 中の送信制御回路の実施の形態を示す回路図である。

この送信制御回路 4 1 0 は、論理和回路（O R 回路）4 1 1 ~ 4 1 8, 4 3 2 と、D F F 4 2 1 ~ 4 2 9 と、反転回路（N O T 回路）4 4 1, 4 4 2, 4 4 4 と、増幅回路 4 3 5, 4 4 3 と、論理積回路（A N D 回路）4 3 0 と、D F F 4 4 0 とを有する。

## 【 0 0 9 2 】

O R 回路 4 1 1 ~ 4 1 8 の一方の入力端子には、対応する D F F 4 2 2 ~ 4 2 9 の出力信号が供給され、他方の入力端子にはロード信号 T X L D が供給される。

## 【 0 0 9 3 】

D F F 4 2 1 ~ 4 2 8 のデータ入力端子 D には、対応する O R 回路 4 1 1 ~ 4 1 8 の出力信号が供給される。また、D F F 4 2 9 のデータ入力端子 D には、ロード信号 T X L D が供給される。

D F F 4 2 1 ~ 4 2 9 のクロック入力端子 C K には、クロック信号 C K 0 が供給される。

D F F 4 2 1 ~ 4 2 9 , 4 4 0 のリセット端子には、リセット信号 C L R \_ X が供給され、リセット信号 C L R \_ X がローレベルである場合に D F F 4 2 1 ~ 4 2 9 , 4 4 0 はリセットされる。

## 【 0 0 9 4 】

反転回路 4 2 0 は、D F F 4 2 1 の出力信号を反転してレディ信号 R D Y を生成する。

O R 回路 4 3 2 は、D F F 4 2 1 の出力信号とロード信号 T X L D との論理和を演算し、演算結果を F F 4 3 1 に供給する。

## 【 0 0 9 5 】

F F 4 3 1 のデータ入力端子 D には、O R 回路 4 3 2 の出力信号が供給され、ゲート端子 G にはクロック信号 C K 0 が供給される。

F F 4 3 1 は、ゲート端子 G がローレベルの場合、データ入力端子 D に供給されている信号（データ）を出力端子 Q から出力する。

F F 4 3 1 は、ゲート端子 G がローレベルからハイレベルになった場合、ハイレベルになった時にデータ入力端子 D に供給されていた信号をラッチし、ラッチした信号を、ゲート端子 G が次にローレベルになるまで出力端子 Q から出力する。すなわち、F F 4 3 1 の出力信号はクロック信号 C K 0 のハイレベル時に変化しない。

## 【 0 0 9 6 】

A N D 回路 4 3 0 は、F F 4 3 1 の出力信号とクロック信号 C K 0 との論理積を演算し、演算結果を増幅回路 4 3 5 に供給する。増幅回路 4 3 5 は、A N D 回路 4 3 0 の出力信号を増幅し、クロック信号 P S C K を生成する。

A N D 回路 4 3 0 は、クロック信号 C K 0 がローレベルの場合、ローレベルの

クロック信号 P S C K を生成する。

OR 回路 4 3 2 と AND 回路 4 3 0 との間に F F 4 3 1 を介在させることで、クロック信号 C K 0 のハイレベル時に、AND 回路 4 3 0 の出力信号がハイレベルからローレベルに変化することを防止している。

【 0 0 9 7 】

反転回路 4 4 4 は、クロック信号 C K 0 の反転信号を生成して増幅回路 4 4 3 に供給する。増幅回路 4 4 3 は、反転回路 4 4 4 の出力信号を増幅して D F F 4 4 0 のクロック入力端子 C K に供給する。

反転回路 4 4 2 は、D F F 4 2 2 の出力信号を反転して D F F 4 4 0 のイネーブル端子 E N に供給する。D F F 4 4 0 は、イネーブル端子 E N がローレベルである場合に動作し、イネーブル端子 E N がハイレベルである場合には出力端子 Q はローレベルに固定される。

【 0 0 9 8 】

反転回路 4 4 1 は、D F F 4 4 0 の出力信号 S C K を反転して D F F 4 4 0 の入力端子 D に供給する。

D F F 4 4 0 は、反転回路 4 4 1 の出力信号を増幅回路 4 4 3 の出力信号に基づいてラッチし、出力端子 Q からシリアルデータ転送用のクロック信号 S C K を出力する。

D F F 4 4 0 および反転回路 4 4 1 は、分周回路を構成しており、イネーブル端子 E N にローレベル信号が供給されている場合に、クロック信号 C K 0 の 2 倍周期の信号 S C K を生成する。

【 0 0 9 9 】

図 1 4 の送信制御回路 4 1 0 では、D F F 4 2 2 の出力信号（の反転信号）を D F F 4 4 0 のイネーブル信号に用いることで、P / S 変換回路 1 6 0 で転送データ S D を変化させてフレーム同期データを生成する場合に、クロック信号 S C K のエッジ間隔を広げてクロックパルスが間引きされる構成としている。

送信制御回路 4 1 0 は、フレーム同期データの送信時におけるクロック信号 S C K のエッジ間隔を、シリアルデータの送信時におけるクロック信号 S C K のエッジ間隔よりも大きくしている。

## 【 0 1 0 0 】

図 1 5 は、図 1 2 中の受信制御回路の実施の形態を示す回路図である。

この受信制御回路 5 1 0 は、増幅回路 5 1 1、5 1 2、5 2 2 と、排他的論理和回路（E O R 回路）5 1 3、5 2 3 と、論理和回路 5 2 4 と、D F F 5 1 4、5 1 5 とを有する。

## 【 0 1 0 1 】

増幅回路 5 1 1 は、信号線 1 0 5 からの転送データ S D を増幅して増幅回路 5 1 2 および排他的論理和回路 5 1 3 に供給する。

排他的論理和回路 5 1 3 は、増幅回路 5 1 2 の出力信号と増幅回路 5 1 1 の出力信号との排他的論理和を演算し、演算結果を示す信号（データパルス）S D P を D F F 5 1 4、5 1 5 のクロック入力端子 C K に供給する。

増幅回路 5 1 2 および排他的論理和回路 5 1 3 は、転送データ S D の値の変化を検出する変化検出回路を構成している。

## 【 0 1 0 2 】

増幅回路 5 2 2 は、信号線 1 0 1 からのクロック信号 S C K を増幅して排他的論理和回路 5 2 3 に供給する。

排他的論理和回路 5 2 3 は、増幅回路 5 2 2 の出力信号とクロック信号 S C K との排他的論理和を演算し、演算結果を論理和回路 5 2 4 に供給する。

増幅回路 5 2 2 および排他的論理和回路 5 2 3 は、クロック信号 S C K の立上りおよび立下りの各エッジを検出するエッジ検出回路を構成している。

## 【 0 1 0 3 】

論理和回路 5 2 4 は、排他的論理和回路 5 2 3 の出力信号とロード信号 R X L D の論理和を演算し、演算結果の否定値を示す信号 C L R \_ X R を生成して D F F 5 1 4、5 1 5 のリセット端子に供給する。

## 【 0 1 0 4 】

D F F 5 1 4 のデータ入力端子 D には、電源電圧  $V_H$  が供給されてハイレベルに固定されている。

D F F 5 1 5 のデータ入力端子 D には、D F F 5 1 4 の出力信号が供給される。D F F 5 1 5 は、出力端子 Q からロード信号 R X L D を出力する。

DFF514, 515は、クロック信号SCKの立上りおよび立下りの各エッジ毎にリセットされる。

## 【0105】

DFF515は、クロック信号SCKのエッジから次のエッジまでの期間内に、信号SDPが2回以上ハイレベルになった場合（すなわち、転送データSDが2回以上変化した場合）に、ハイレベルのロード信号RXLDを生成する。

## 【0106】

図16は、図12中のS/P変換回路の実施の形態を示す回路図である。

このS/P変換回路560は、増幅回路569, 579, 589と、排他的論理和回路578と、DFF570～577, 580～587とを有する。

## 【0107】

増幅回路589は、ロード信号RXLDを増幅して信号N3を生成し、信号N3をDFF580～587のクロック入力端子CKに供給する。

増幅回路569は、転送データSDを増幅してDFF577のデータ入力端子Dに供給する。

## 【0108】

増幅回路579は、クロック信号SCKを増幅して排他的論理和回路578に供給する。

排他的論理和回路578は、増幅回路579の出力信号とクロック信号SCKとの排他的論理和を演算して演算結果を示す信号N1を生成し、信号N1をDFF570～577のクロック入力端子CKに供給する。

排他的論理和回路578および増幅回路579は、クロック信号SCKの各エッジを検出するエッジ検出回路を構成しており、クロック信号SCKの各エッジ毎にパルスを出力する。

## 【0109】

DFF570～577は直列接続されており、シフトレジスタを構成している。

DFF577のデータ入力端子Dには、増幅回路569を介して転送データSDが供給され、この転送データSD中のシリアルデータがクロック信号N1に応



じて D F F 5 7 7 ~ 5 7 0 の順に順次ラッチされる。

【 0 1 1 0 】

D F F 5 8 0 ~ 5 8 7 のデータ入力端子 D には、対応する D F F 5 7 0 ~ 5 7 7 の出力データが供給される。

D F F 5 8 0 ~ 5 8 7 は、フレームレジスタおよび出力レジスタを構成しており、D F F 5 7 0 ~ 5 7 7 の出力データをロード信号 N 3 に応じてラッチし、転送データ S D 中のシリアルデータをパラレルデータ R X D 0 ~ 7 に変換する。

【 0 1 1 1 】

このように、図 1 2 の受信回路 5 0 0 は、送信回路 4 0 0 から送信されたクロック信号 S C K を信号線 1 0 1 を介して受信し、送信回路 4 0 0 からクロック信号 S C K の各エッジに対応して送信されたシリアルデータを信号線 1 0 5 を介して受信する。

受信回路 5 0 0 内の受信制御回路 5 1 0 は、クロック信号 S C K の立上りエッジから次の立下りエッジまでの区間内または立下りエッジから次の立上りエッジまでの区間内に信号線 1 0 5 からの転送データ S D の値が 2 回以上変化した場合に、ロード信号 R X L D を生成する。

S / P 変換回路 5 6 0 は、信号線 1 0 5 からの前記シリアルデータをクロック信号 S C K の各エッジに対応して順次ラッチし、ラッチした前記シリアルデータをロード信号 R X L D に基づいてパラレルデータに変換する。

【 0 1 1 2 】

図 1 7 は、図 1 2 および図 1 4 ~ 図 1 6 に示す送信制御回路 4 1 0、P / S 変換回路 4 6 0、受信制御回路 5 1 0 および S / P 変換回路 5 6 0 の動作を示すタイムチャートである。

【 0 1 1 3 】

第 4 の実施の形態

上記第 1 ~ 第 3 の実施の形態では、シリアルデータ転送用に単一の信号線 1 0 5 を用いる場合を例示したが、複数の信号線を用いてシリアルデータ転送を並行して行ってもよい。

## 【 0 1 1 4 】

この場合、前記複数の信号線のうち1つの信号線について、クロック信号 S C Kのエッジから次のエッジまでの区間内における、転送データ S Dの2回以上の変化によりフレーム同期データを検出する。

さらに、前記複数の信号線のうち残りの信号線について、当該区間内における転送データの2回以上の変化の有無を検出することで、フレーム同期データ以外の追加データを転送することが可能である。前記追加データとしては、例えば、データエラー検出用のパリティ情報やチェックサム情報等とする。

## 【 0 1 1 5 】

図 1 8 は、本発明に係るデータ通信装置の第 4 の実施の形態を示す概略的なブロック構成図である。

このデータ通信装置 7 9 9 は、送信回路 6 0 0 と、受信回路 7 0 0 と、信号線 1 0 1, 1 0 5 ~ 1 0 7 とを有する。送信回路 6 0 0 と受信回路 7 0 0 は、信号線 1 0 1, 1 0 5 ~ 1 0 7 を介して互いに接続されている。

## 【 0 1 1 6 】

送信回路 6 0 0 は、送信制御回路 6 1 0 と、P / S 変換回路 1 6 0 ~ 1 6 2 とを有する。

送信制御回路 6 1 0 は、P / S 変換用のロード信号 T X L D と、基準となるクロック信号 C K 0 と、リセット信号 C L R \_ X とが供給される。

この送信制御回路 6 1 0 は、レディ信号 R D Y を生成する。また、シリアルデータ転送用のクロック信号 S C K を生成して信号線 1 0 1 を介して受信回路 7 0 0 に供給し、P / S 変換用のクロック信号 P S C K を生成して P / S 変換回路 1 6 0 ~ 1 6 2 に供給する。

## 【 0 1 1 7 】

P / S 変換回路 1 6 0 は、パラレルデータ T X D 0 ~ 7 と、ロード信号 T X L D と、クロック信号 P S C K とが供給される。

P / S 変換回路 1 6 0 は、パラレルデータ T X D 0 ~ 7 をシリアルデータに変換して信号線 1 0 5 を介して受信回路 7 0 0 に供給する。

【0118】

P/S変換回路161は、パラレルデータTXD10～17と、ロード信号TXLDと、クロック信号PCKとが供給される。

このP/S変換回路161は、パラレルデータTXD10～17をシリアルデータに変換して信号線106を介して受信回路700に供給する。

【0119】

P/S変換回路162は、パラレルデータTXD20～27と、ロード信号TXLDと、クロック信号PCKとが供給される。

このP/S変換回路162は、パラレルデータTXD20～27をシリアルデータに変換して信号線107を介して受信回路700に供給する。

【0120】

送信制御回路610は、送信制御回路110の機能を有し、さらに、信号線105～107のうち1つの信号線105を介してフレーム同期データを送信すると共に信号線105～107のうち残りの信号線106、107を介してフレーム同期データを選択的に送信するように、P/S変換回路160～162を制御する機能を有する。

例えば、P/S変換回路161、162は、P/S変換回路160に類似した構成を有し、P/S変換回路160内の選択回路178の入力端子Bに供給されるデータを、データTXD7と反転データ/TXD7の何れか一方に送信制御回路610から切替可能とした構成を有する。

【0121】

信号線101は、送信回路600から送信されたクロック信号SCKを転送して受信回路700に供給する。

信号線105～107は、送信回路600からクロック信号SCKに対応して送信されたシリアルデータを転送して受信回路700に供給する。信号線105～107の各々は、シリアル転送路を構成している。なお、信号線101、105～107の長さの差、すなわち転送遅延時間の差は、クロック信号SCKのパルス幅に比べて無視できる程度であることが望ましい。

## 【 0 1 2 2 】

受信回路 7 0 0 は、受信制御回路 7 1 0 と、S / P 変換回路 2 6 0 ~ 2 6 2 とを有する。S / P 変換回路 2 6 0 ~ 2 6 2 は、同一の構成を有する。

受信制御回路 7 1 0 は、シリアルデータおよびフレーム同期データを有する転送データ SD, SD 1, SD 2 と、シリアルデータ転送用のクロック信号 SCK とが供給される。

## 【 0 1 2 3 】

この受信制御回路 7 1 0 は、受信制御回路 2 1 0 の機能を有し、さらに、ロード信号 RXLD を生成して S / P 変換回路 2 6 0 ~ 2 6 2 に供給し、信号線 1 0 5 ~ 1 0 7 のフレーム同期データを検出して追加データ DT を出力する機能を有する。

例えば、受信制御回路 7 1 0 は、信号線 1 0 5 からの転送データ SD が前記区間 a ~ b 内に 2 回以上変化した場合に、当該区間 a ~ b において信号線 1 0 6, 1 0 7 からの転送データ SD 1, SD 2 が 2 回以上変化したか否かを検出し、検出結果に基づいて追加データ DT を出力する。

## 【 0 1 2 4 】

S / P 変換回路 2 6 0 は、クロック信号 SCK およびロード信号 RXLD が供給され、P / S 変換回路 1 6 0 からシリアルデータおよびフレーム同期データを有する転送データ SD が供給される。

この S / P 変換回路 2 6 0 は、転送データ SD 中の前記シリアルデータをパラレルデータ RXD 0 ~ 7 に変換する。

## 【 0 1 2 5 】

S / P 変換回路 2 6 1 は、クロック信号 SCK およびロード信号 RXLD が供給され、P / S 変換回路 1 6 1 からシリアルデータおよびフレーム同期データを有する転送データ SD 1 が供給される。

この S / P 変換回路 2 6 1 は、転送データ SD 1 中の前記シリアルデータをパラレルデータ RXD 1 0 ~ 1 7 に変換する。

## 【 0 1 2 6 】

S / P 変換回路 2 6 2 は、クロック信号 SCK およびロード信号 RXLD が供

給され、P/S変換回路162からシリアルデータおよびフレーム同期データを有する転送データSD2が供給される。

このS/P変換回路262は、転送データSD2中の前記シリアルデータをパラレルデータRXD20～27に変換する。

【0127】

図18のデータ通信装置799において、図1のデータ通信装置299を利用した構成としているが、図8のデータ通信装置399を利用した構成としてもよく、図12のデータ通信装置599を利用した構成としてもよい。

【0128】

上記実施の形態では、1フレームを8ビットで構成しており、簡潔な構成となっており、他のビット幅に対しても容易に拡張可能である。

更には、0.25 $\mu$ mのプロセスルールで製造された大規模集積回路(LSI)では、シリアルデータの転送レートをデータ転送用信号線1本あたり約1Gbit/S(約1ギガビット/秒)にすることが可能である。

【0129】

以上に説明したように、データ通信装置299, 399, 599, 799では、シリアルデータ転送におけるフレーム同期を簡単な回路で行うことが可能である。また、シリアルデータ転送におけるフレーム同期を短い時間で行うことが可能である。

【0130】

データ通信装置399では、フレーム同期用のデータに用いる転送データの変化周期を、シリアルデータ転送時のデータの変化周期と同じかそれ以下にすることが可能であり、データ転送レートを向上可能であり、信号線の周波数帯域を有効利用できる。

【0131】

データ通信装置599では、データ通信装置299に比べて同一クロック周波数で転送レートを2倍に向上可能である。また、同一転送レートでクロック周波数を1/2倍にすることができ、消費電力および/または不要電磁放射を低減可能である。

【 0 1 3 2 】

データ通信装置 2 9 9, 3 9 9, 5 9 9, 7 9 9 では、データをエンコードや変調を行わずにそのまま転送し、クロック専用の信号線を 1 本設けているため、シリアルデータ転送用の信号線のみの増加が容易である。

また、シリアルデータ転送用の信号線の増加数に比例してデータ転送量を増やすことができ、しかもフレーム同期のための回路量の増加を抑えることができる。

データ通信装置 7 9 9 では、フレーム同期の検出時に追加データ（追加情報）を送受することができる。

【 0 1 3 3 】

なお、上記実施の形態は本発明の例示であり、本発明は上記実施の形態に限定されない。

【 0 1 3 4 】

【発明の効果】

本発明に係るデータ通信装置によれば、シリアルデータ転送におけるフレーム同期を簡単な回路で行うことが可能であると共に、フレーム同期を短い時間で行うことが可能である。

以上に説明したように、本発明によれば、フレーム同期をとりながらデータ転送が可能な新規な構成のデータ通信装置と、このデータ通信装置で使用可能な送信回路および受信回路とを提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係るデータ通信装置の第 1 の実施の形態を示す概略的なブロック構成図である。

【図 2】

図 1 のデータ通信装置の概略的なタイムチャートである。

【図 3】

図 1 中の送信制御回路の実施の形態を示す回路図である。

【図 4】

図 1 中の P / S 変換回路の実施の形態を示す回路図である。

【図 5】

図 1 中の受信制御回路の実施の形態を示す回路図である。

【図 6】

図 1 中の S / P 変換回路の実施の形態を示す回路図である。

【図 7】

図 1 および図 3 ～図 6 に示す送信制御回路、P / S 変換回路、受信制御回路および S / P 変換回路の動作を示すタイムチャートである。

【図 8】

本発明に係るデータ通信装置の第 2 の実施の形態を示す概略的なブロック構成図である。

【図 9】

図 8 のデータ通信装置の概略的なタイムチャートである。

【図 1 0】

図 8 中の送信制御回路の実施の形態を示す回路図である。

【図 1 1】

図 8 および図 1 0 に示す送信制御回路、P / S 変換回路、受信制御回路および S / P 変換回路の動作を示すタイムチャートである。

【図 1 2】

本発明に係るデータ通信装置の第 3 の実施の形態を示す概略的なブロック構成図である。

【図 1 3】

図 1 2 のデータ通信装置の概略的なタイムチャートである。

【図 1 4】

図 1 2 中の送信制御回路の実施の形態を示す回路図である。

【図 1 5】

図 1 2 中の受信制御回路の実施の形態を示す回路図である。

【図 1 6】

図 1 2 中の S / P 変換回路の実施の形態を示す回路図である。

【図 1 7】

図 1 2 および図 1 4 ～ 図 1 6 に示す送信制御回路、P / S 変換回路、受信制御回路および S / P 変換回路の動作を示すタイムチャートである。

【図 1 8】

本発明に係るデータ通信装置の第 4 の実施の形態を示す概略的なブロック構成図である。

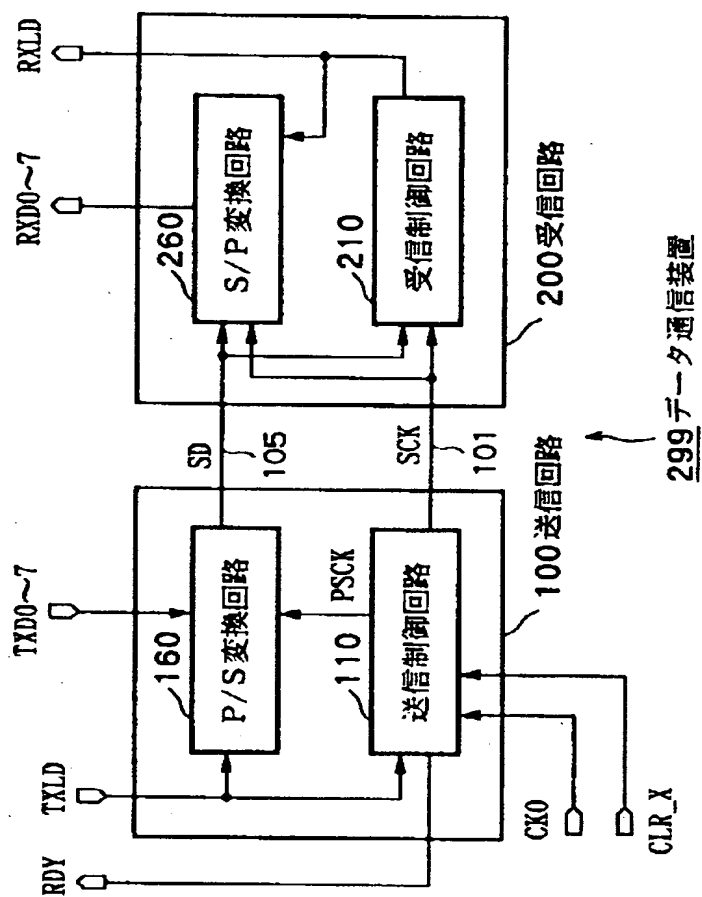
【符号の説明】

1 0 0, 3 0 0, 4 0 0 … 送信回路、1 0 1 … 信号線（第 1 の信号線）、1 0 5 ～ 1 0 7 … 信号線（第 2 の信号線）、1 1 0, 3 1 0, 4 1 0, 6 1 0 … 送信制御回路、1 6 0 ～ 1 6 2 … パラレル / シリアル変換回路（P / S 変換回路）、2 0 0, 5 0 0 … 受信回路、2 1 0, 5 1 0, 7 1 0 … 受信制御回路、2 6 0 ～ 2 6 2, 5 6 0 … シリアル / パラレル変換回路（S / P 変換回路）、2 7 0 ～ 2 7 7, 5 7 0 ～ 5 7 7 … シフトレジスタ、2 8 0 ～ 2 8 7, 5 8 0 ～ 5 8 7 … 出力レジスタ、2 9 9, 3 9 9, 5 9 9, 7 9 9 … データ通信装置、CK 0, PS CK, SCK … クロック信号、CLR\_X … リセット信号、DT … 追加データ、SD, SD 1, SD 2 … 転送データ、RDY … レディ信号、RXD 0 ～ 7, RXD 1 0 ～ 1 7, RXD 2 0 ～ 2 7, TXD 0 ～ 7, TXD 1 0 ～ 1 7, TXD 2 0 ～ 2 7 … パラレルデータ、RXLD, TXLD … ロード信号、/TXD 7 … 反転データ。

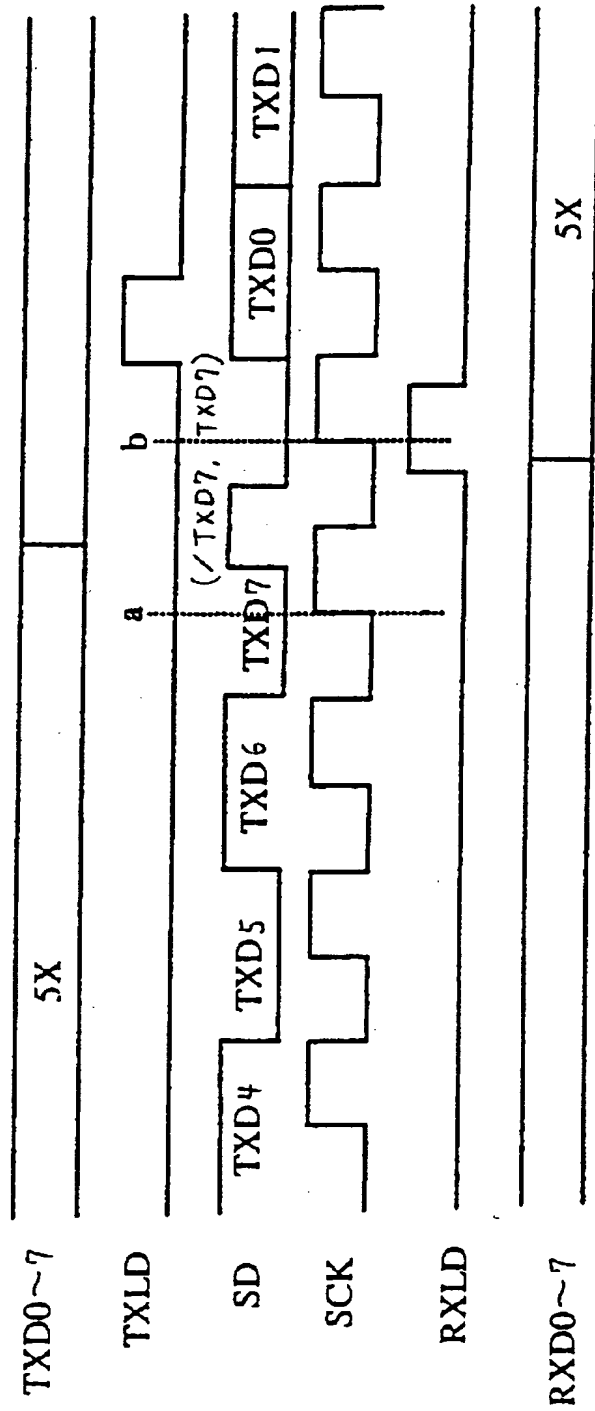


【書類名】 図面

【図 1】

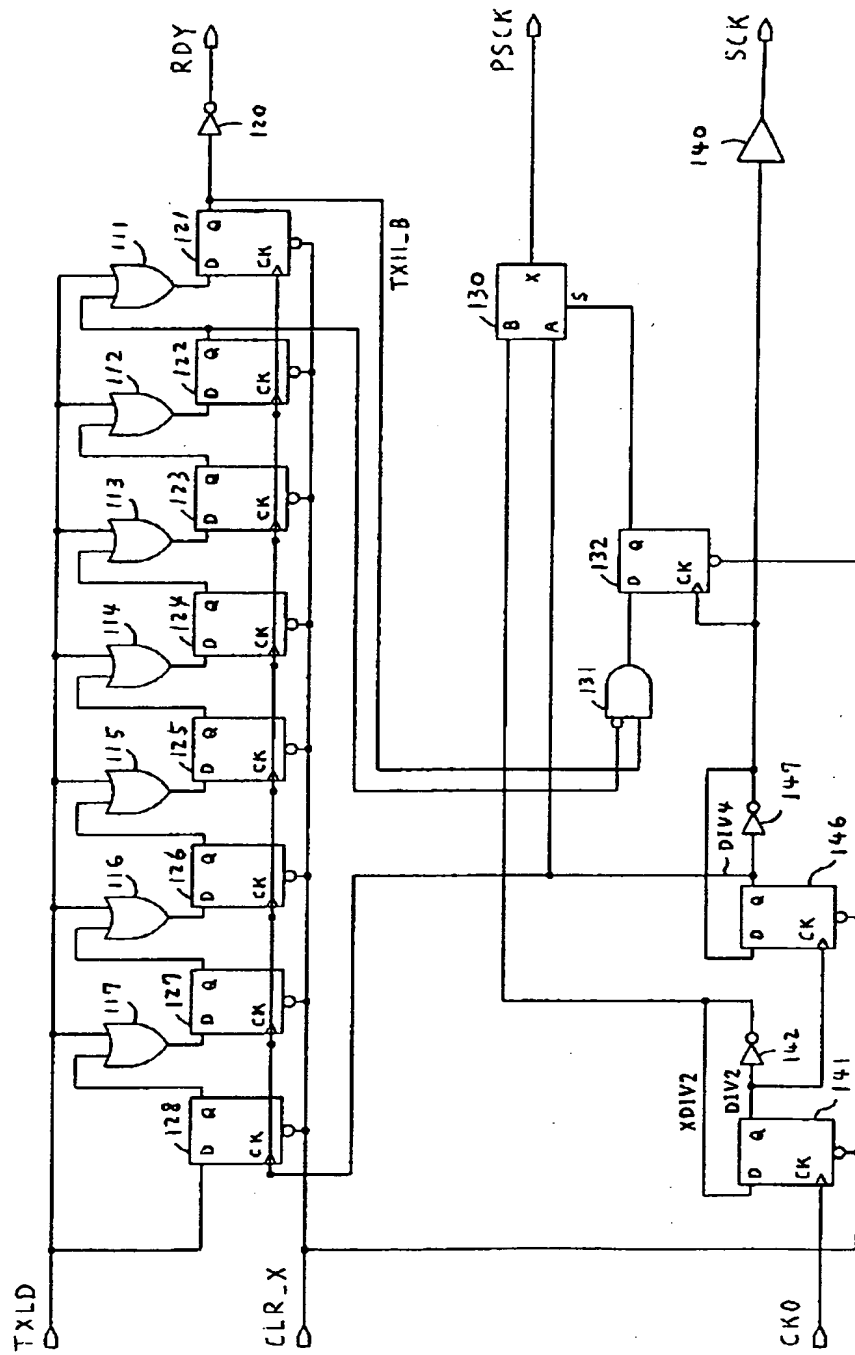


【図 2】



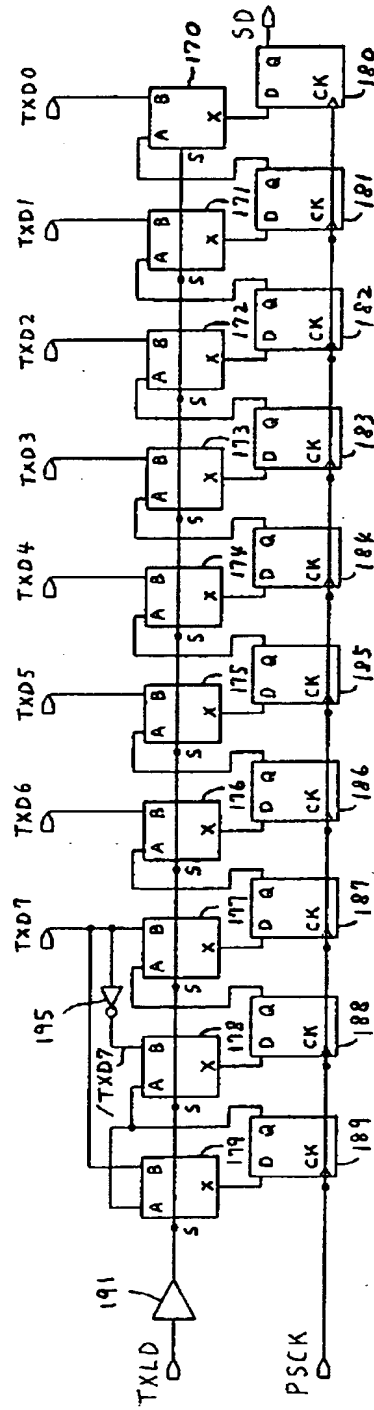
【图 3】

110 送信号制御回路



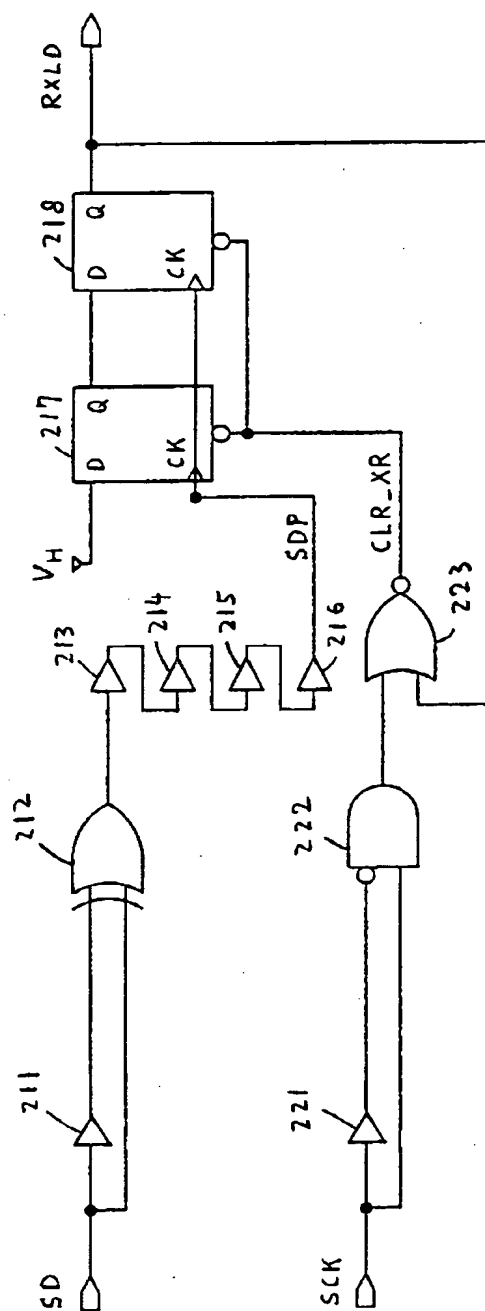
【図 4】

160 P/S 変換回路



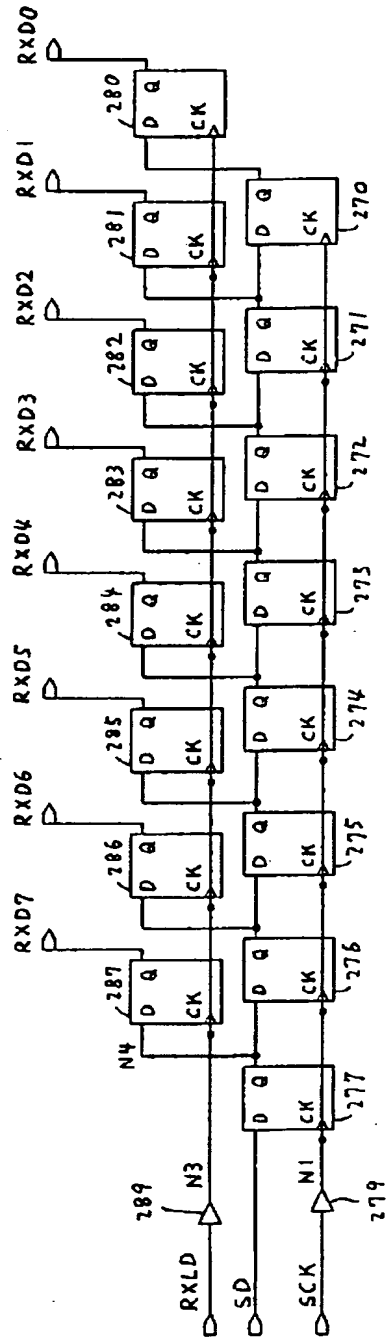
【図 5】

210 受信制御回路

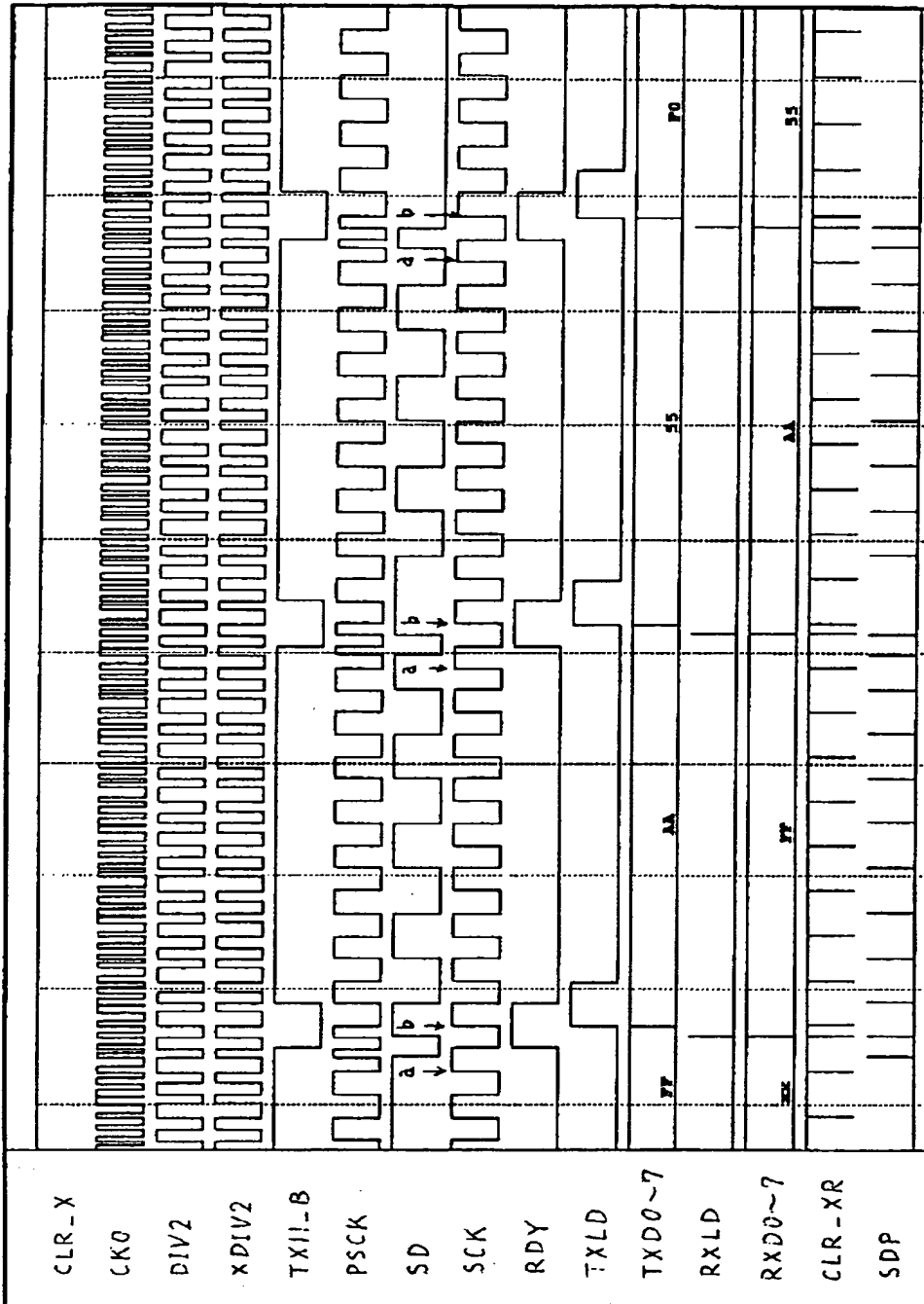


【图 6】

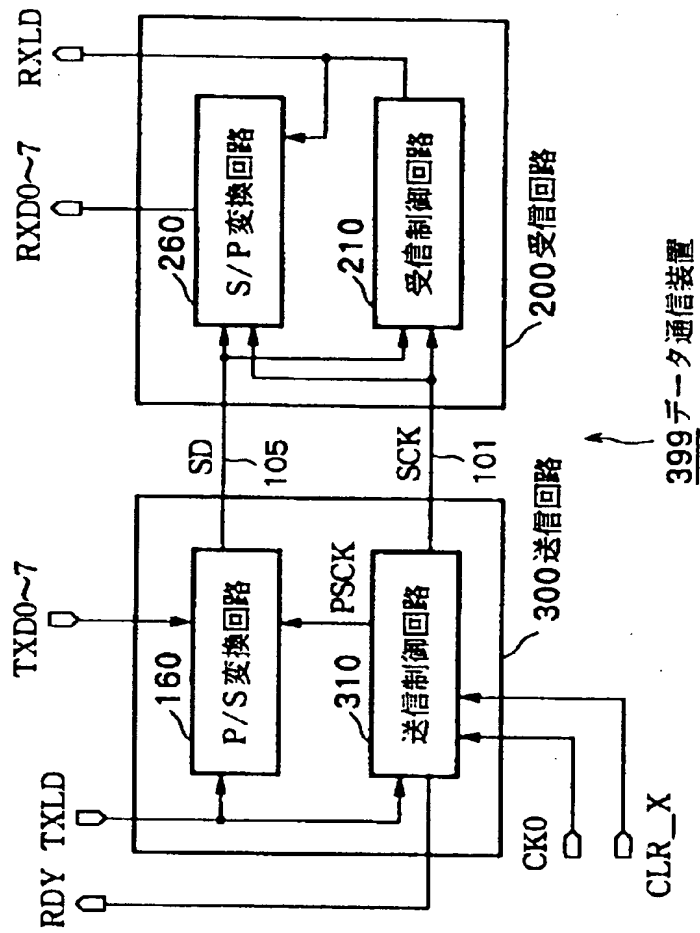
260 S/P 变换回路



【図 7】

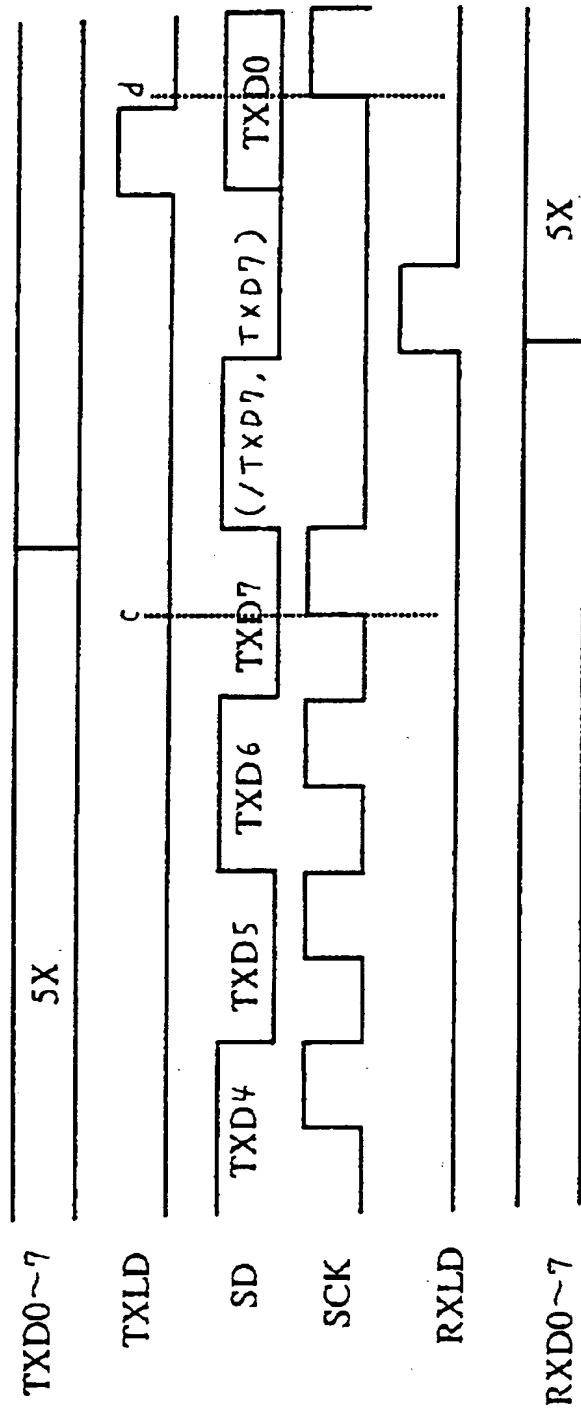


【図 8】

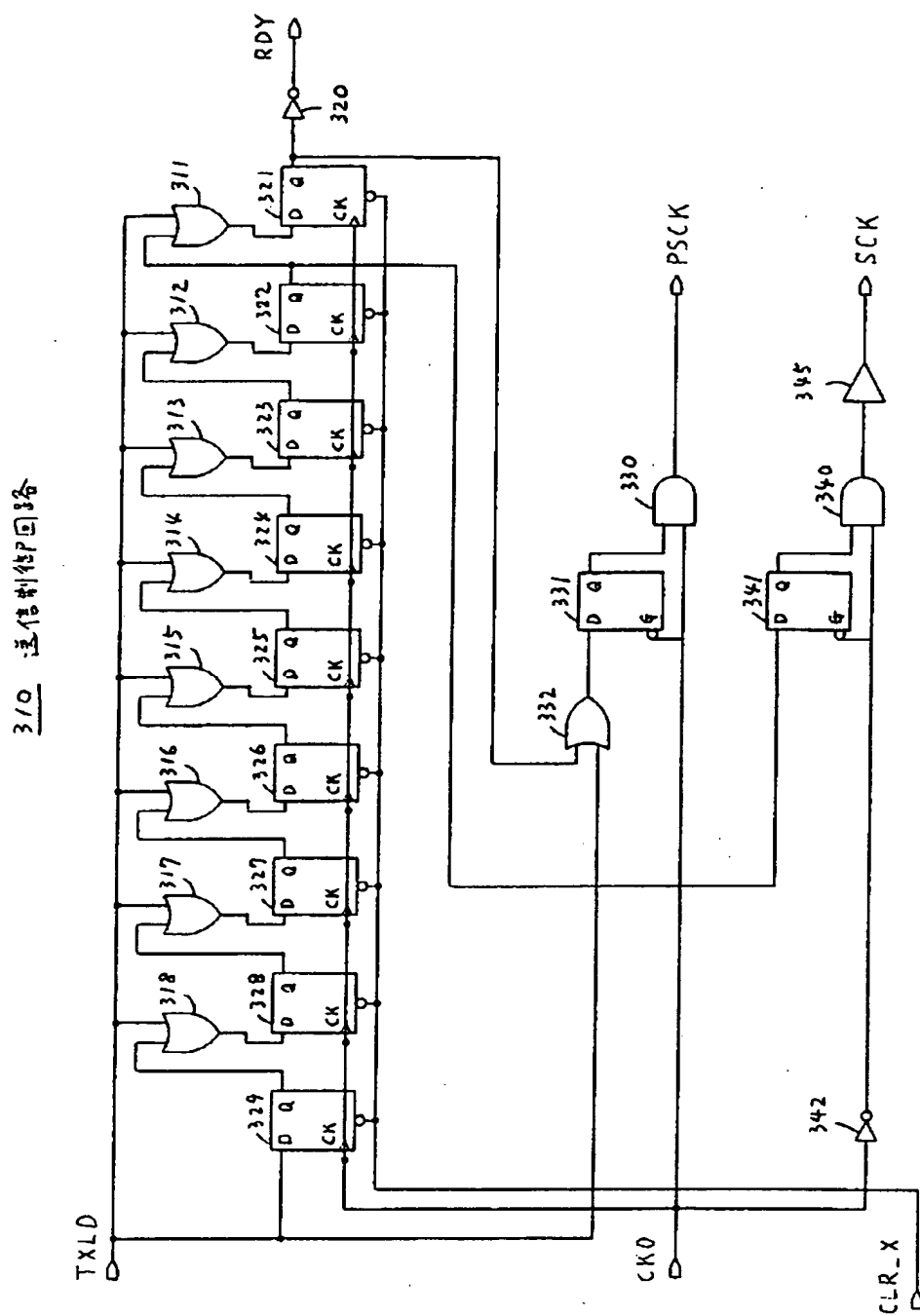




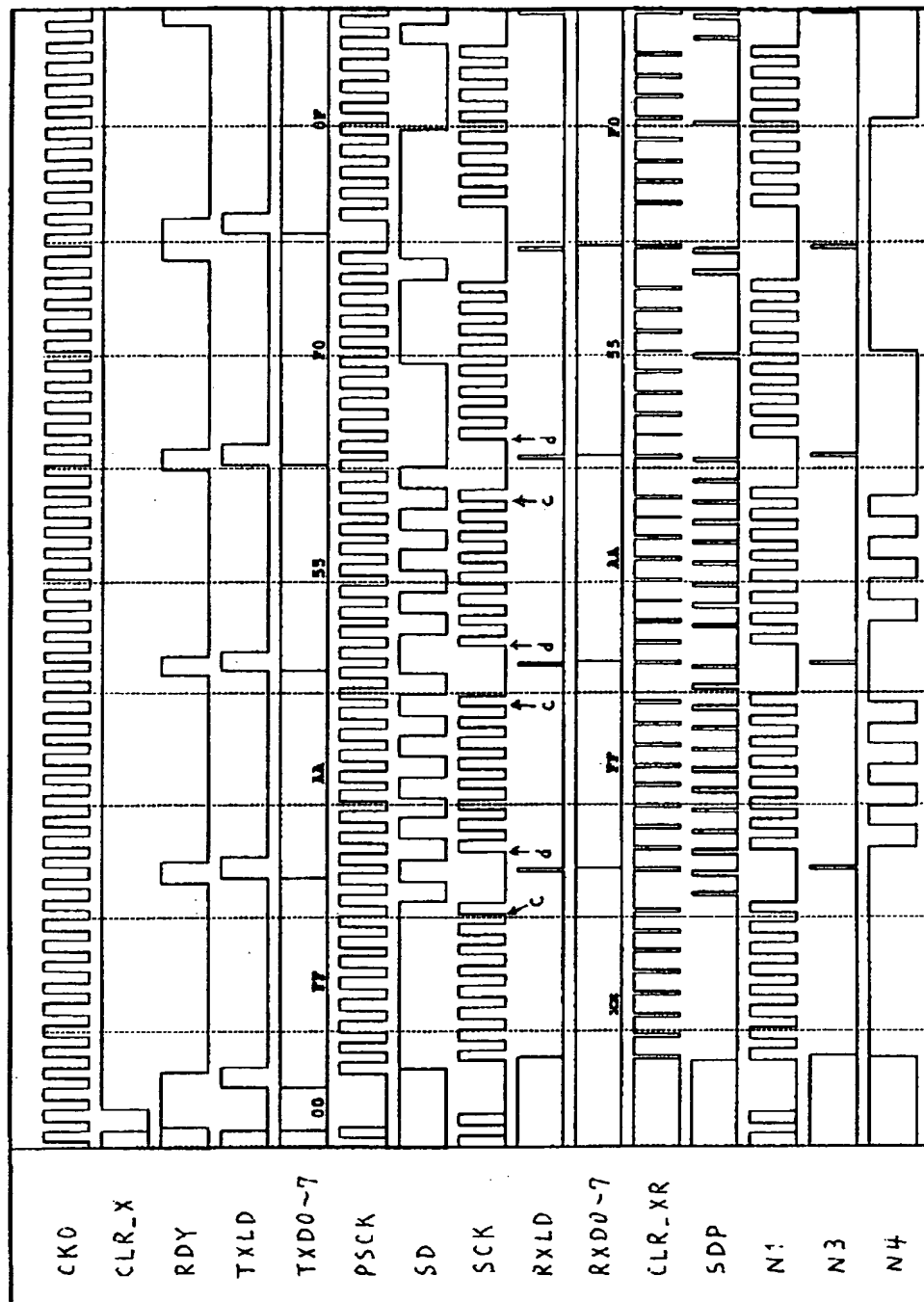
【図9】



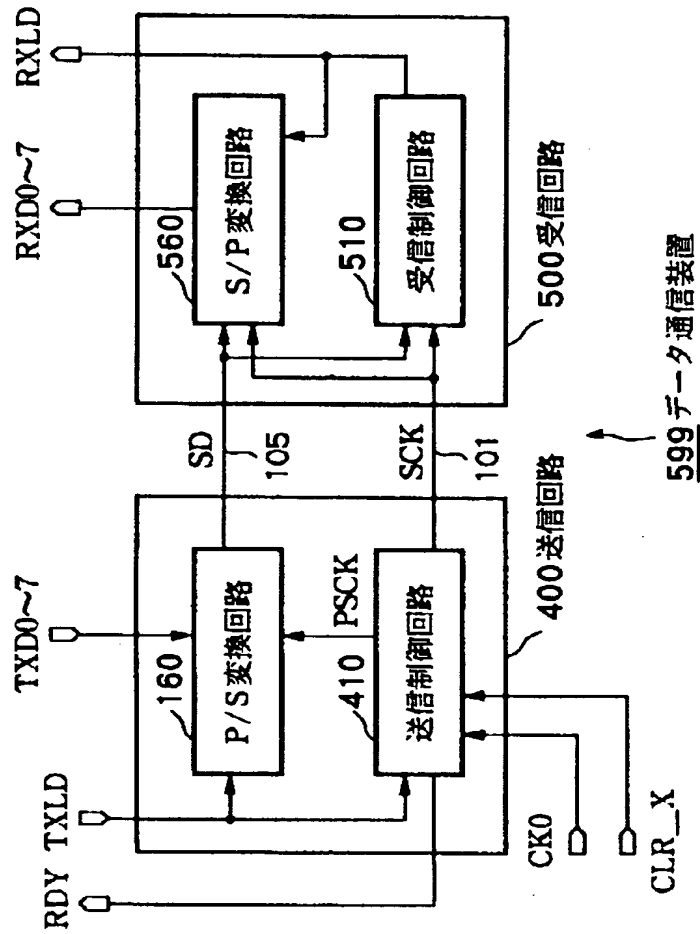
【図 10】



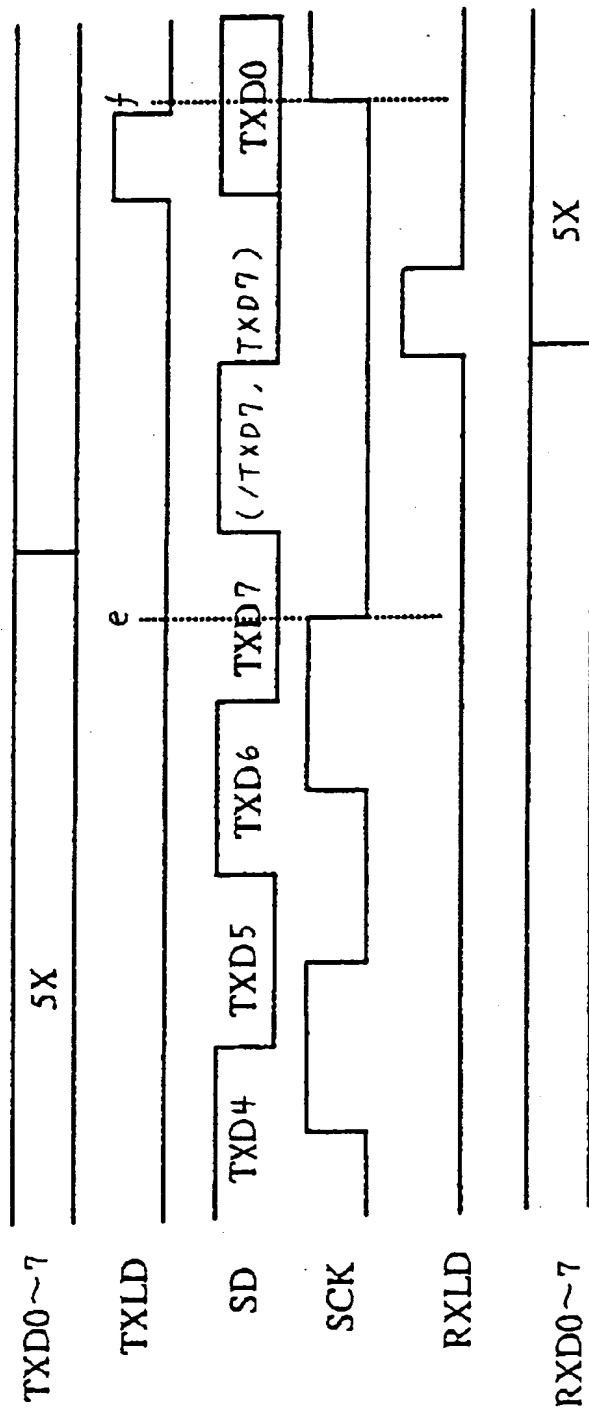
【図 1 1】



【図 1 2】

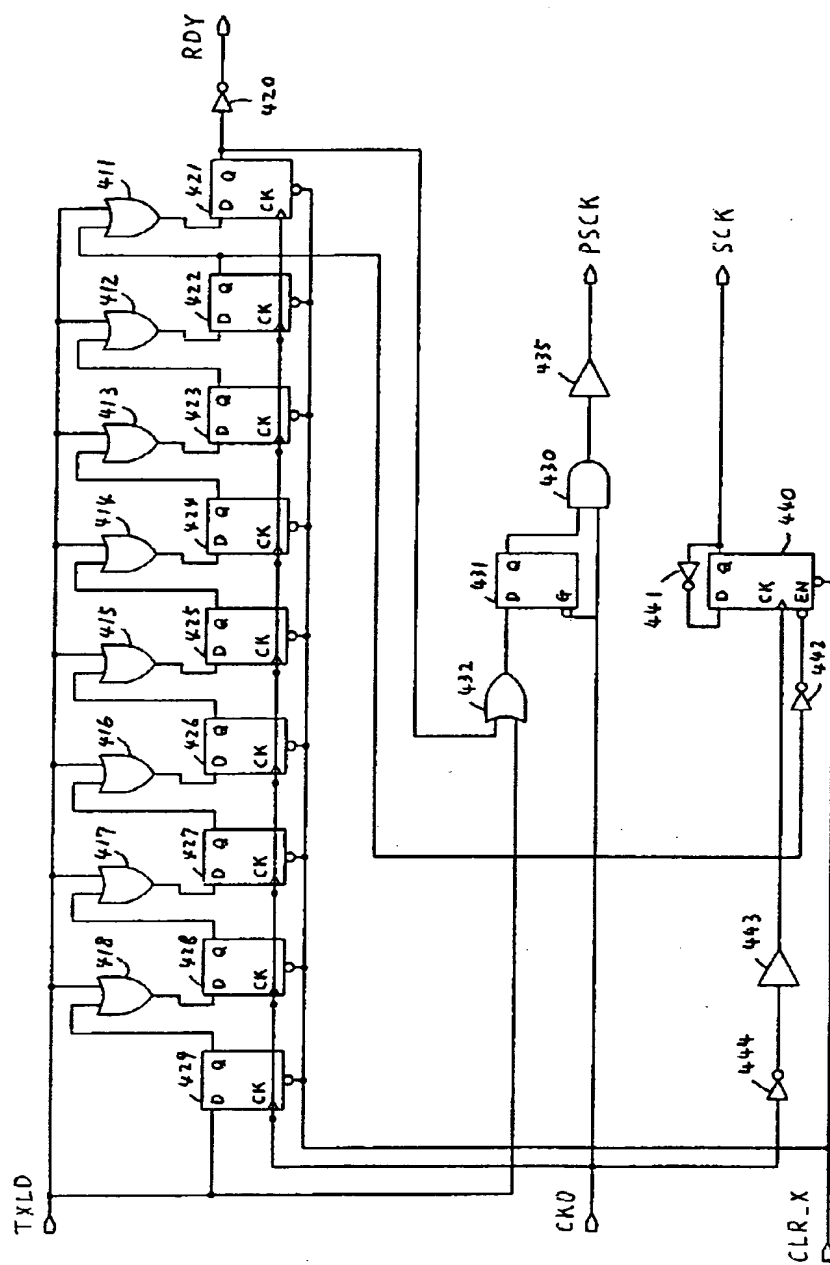


【図 13】



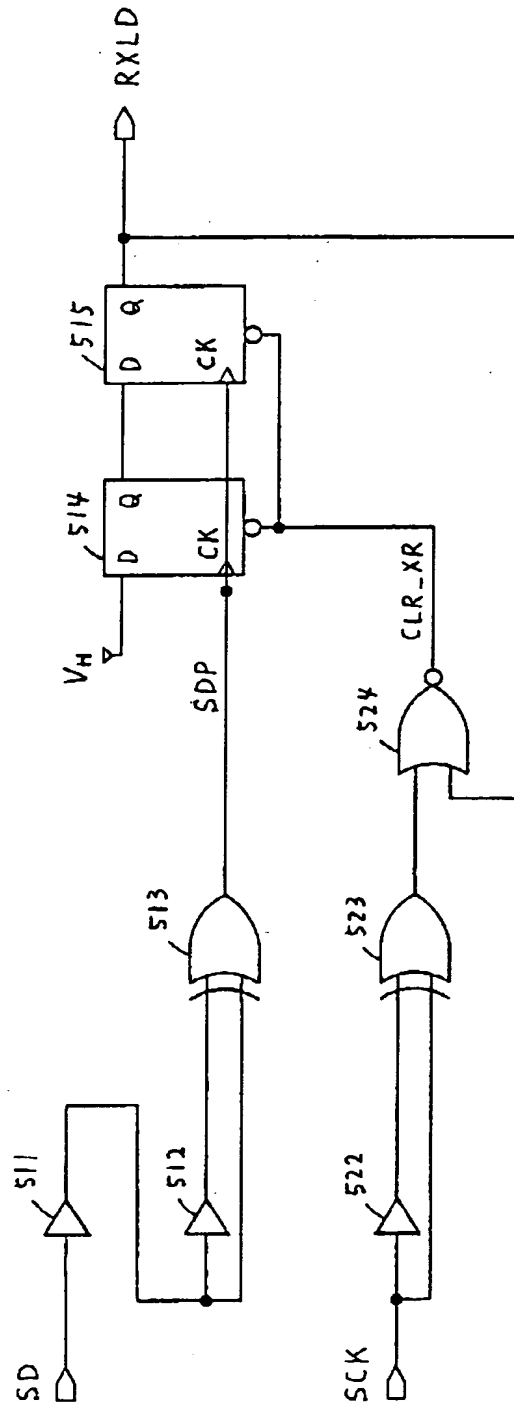
【图 14】

#### 410 送信制御回路

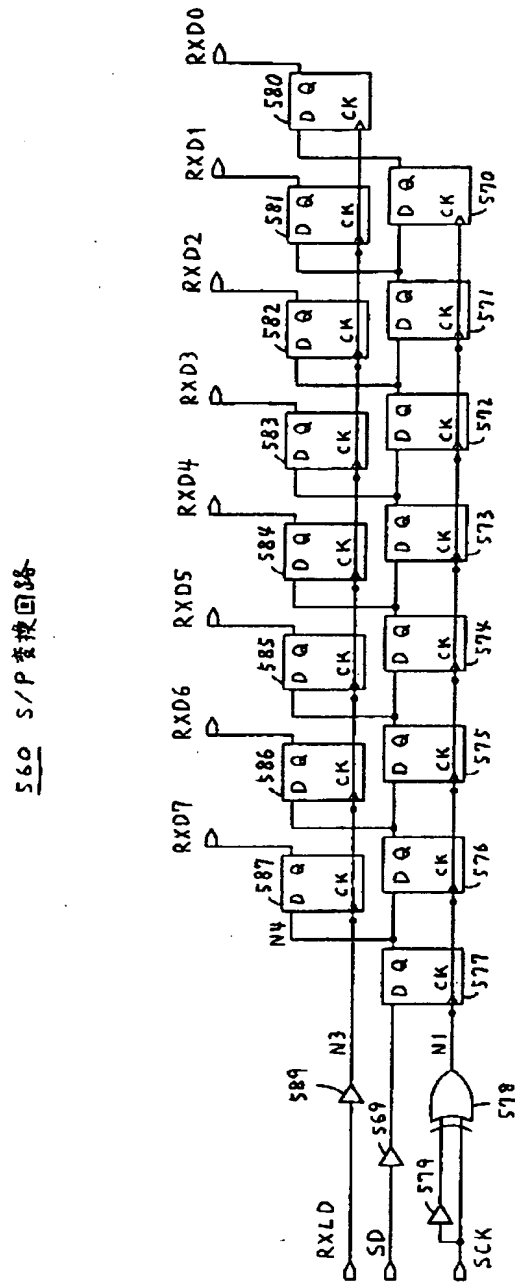


【図 15】

510 受信制御回路

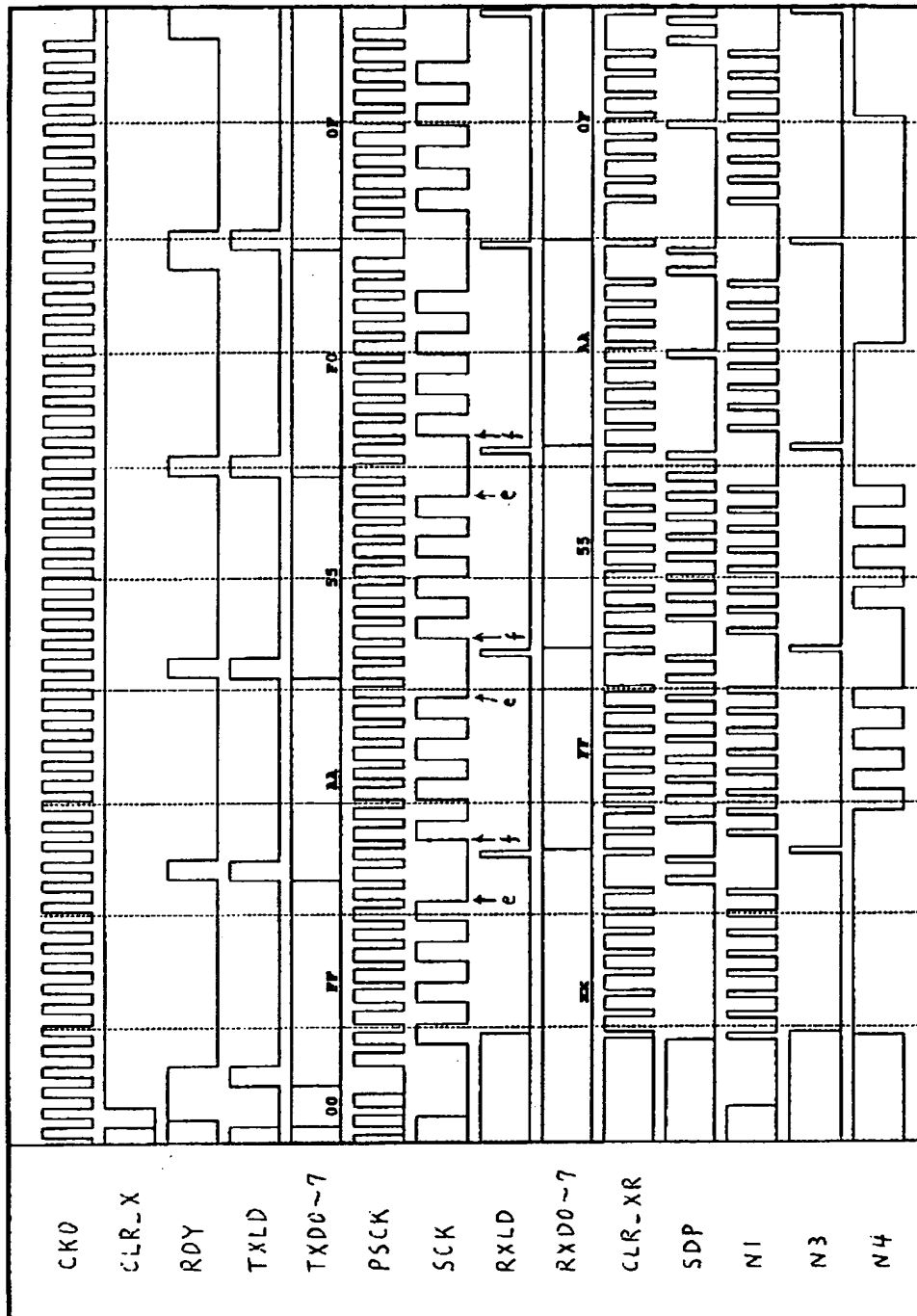


【図 16】

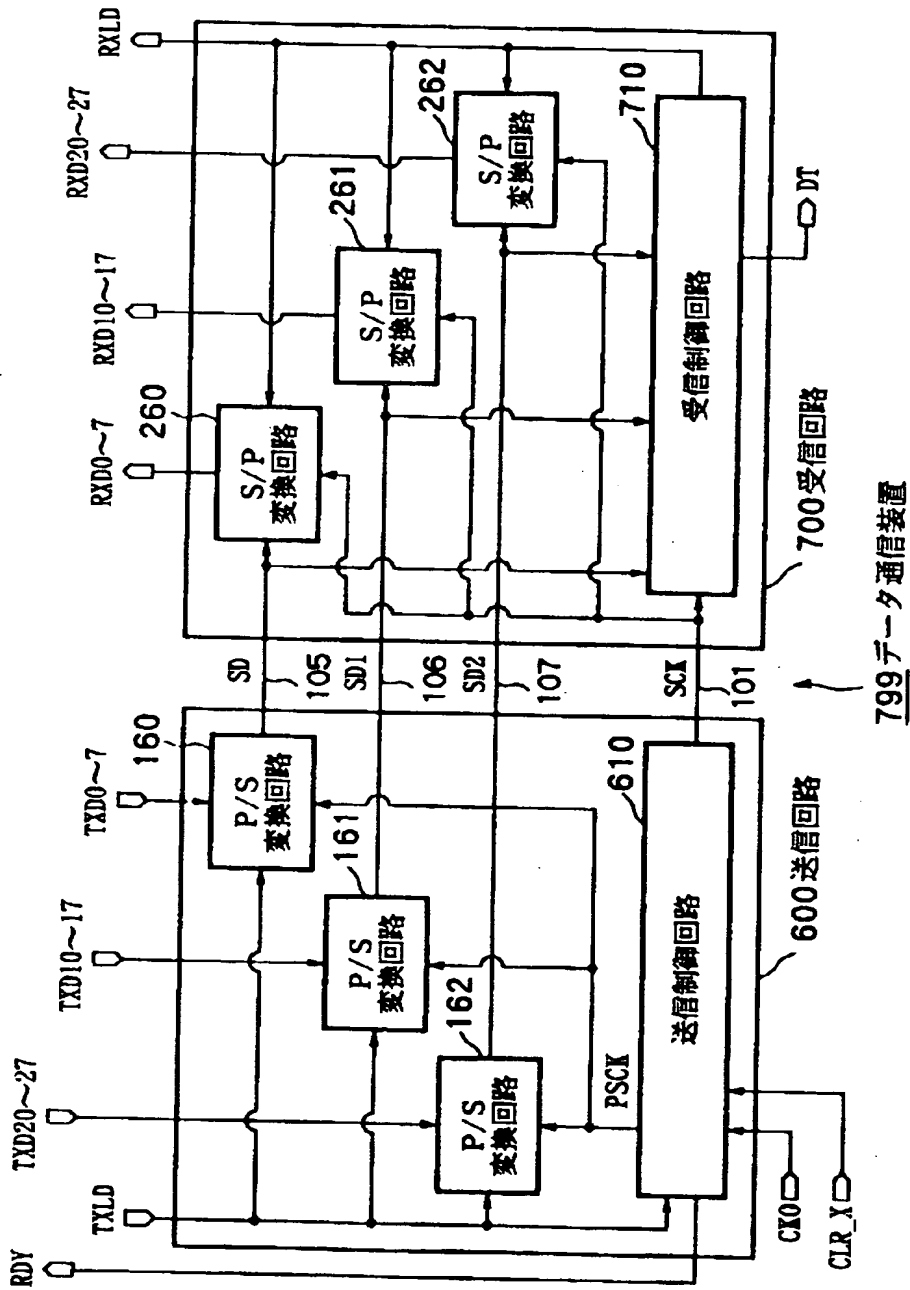




【図 17】



【図18】



【書類名】 要約書

【要約】

【課題】 フレーム同期をとりながらシリアルデータ転送を行う新規な構成のデータ通信装置を提供する。

【解決手段】 データ通信装置内の送信回路は、1フレーム分のパラレルデータ TXD0～7をロード信号 TXLDに基づいてシリアルデータに変換して前記シリアルデータをクロック信号 SCKに対応して送信し、クロック信号 SCKのエッジから次のエッジまでの区間 a～bに複数回変化するフレーム同期データ（/TXD7, TXD7）を、前記シリアルデータに続いて送信する。受信回路は、信号線からの転送データ SDの値が区間 a～bに2回以上変化した場合に、ロード信号 RXLDを生成する。前記信号線からの前記シリアルデータをクロック信号 SCKに対応して順次ラッチし、ラッチした前記シリアルデータをロード信号 RXLDに基づいてパラレルデータ RXD0～7に変換する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社